

画像表示装置

IMAGE DISPLAY APPARATUS

BACKGROUND OF THE INVENTION

5 Field of the Invention

本発明は複数の表示素子を用いて画像を形成する画像表示装置、画像表示方法、画像表示プログラム及び画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体に関するものである。

Related Background Art

- 10 従来、平面上に画像を形成する画像表示装置として種々のものが開発されている。例えば、このような従来の画像表示装置の一例について図 2 2 及び図 2 3 を参照して説明する。

- 図 2 2 は、特開平 5 - 1 0 0 6 3 2 号公報に示されている従来の画像表示装置の構成を示す構成図、図 2 3 は、図 2 2 に示される画像表示装置のタイミングチャートである。

図 2 2 及び図 2 3 に示されるように、表示パネル 2 2 0 1 の画素数が多くなるとそれに伴ってデータ信号 2 2 2 3 の転送レートがあがる。

- そのため、従来の画像表示装置では、データ信号 2 2 2 3 の伝送線路およびデータ側駆動回路 2 2 2 4 中のシフトレジスタが高速動作することが要求される。

上記高速動作の要求の解決法として特開平 5 - 1 0 0 6 3 2 号公報では、図 2 4 及び図 2 5 に示すような構成が提案されている。図 2 4 は、従来の画像表示装置の構成図、図 2 5 は、図 2 4 に示される画像表示装置のタイミングチャートである。

- 25 図 2 4 及び図 2 5 に示されるように、この画像表示装置は、記憶回路部 2 4 0 4 にデータ信号 2 4 2 3 を分割して蓄え、輝度データ 1 ~ 4 (2 4 1 6 ~ 2 4 1 9) を並列かつ同時に送出することによって輝

10054895.012502

度データの伝送線路およびシフトレジスタの動作速度を下げることを目的としている。

また、図 2 5 のタイミングチャートで示されているように、1 走査配線分のデータを全て転送し終わった後、該データの表示を行う構成となっている。このような動作を実現する構成としては、1 走査配線分の記憶装置として 1 走査配線分のデータ容量に等しい記憶回路を 2 組用いて、1 走査期間中に 1 組の記憶回路にデータを蓄え、次の走査期間中に先の記憶回路に蓄えられたデータを送出しながら次の組の記憶回路にデータを蓄えるダブルバッファと呼ばれる方法が考えられる。

10 一方、他の従来の画像表示装置の一例として、USP 5 7 1 0 6 0 4 に示される画像表示装置がある。この USP 5 7 1 0 6 0 4 に示される画像表示装置について図 2 6 及び図 2 7 を参照して説明する。図 2 6 は、USP 5 7 1 0 6 0 4 に示される画像表示装置の構成図、図 2 7 は、図 2 6 に示される画像表示装置のタイミングチャートである。

15 USP 5 7 1 0 6 0 4 に示される画像表示装置では、色順次方式にてカラーを表示する表示装置において、制御部 2 6 1 4 にタイミングを入力し、メモリ 2 6 1 2 にデータを入力する。

そして、行ドライバ 2 6 2 0、列ドライバ 2 6 1 8 及びアノードパワーサプライ 2 6 1 6 を用いてフィールドディスプレイ 2 6 2 2 を制御して画像を表示する。この画像表示装置では、ダブルバッファとして必要な 2 組の記憶回路の容量を節約する。

SUMMARY OF THE INVENTION

25 画像表示装置として、RGB それぞれの映像データを選択配置する方法が知られている。この RGB それぞれの映像データを選択配置する画像表示装置について図 2 8 及び図 2 9 を参照して説明する。

図 2 8 に、マトリクス表示パネルを用いた画像表示装置の構成図を

10054395-012502

示し、図 29 に、図 28 に示される画像表示装置の信号のタイミング
チャートを示す。

図 28 において、2801 はマトリクス状に走査配線と変調配線が
配置された表示パネルである。2803 は変調配線を駆動する駆動部
5 である。

2803-1 は変調駆動を行う変調駆動回路である。2803-2
は変調データを保持するラッチ回路である。

2803-3 はシフトレジスタである。2802 は走査配線の走査
側駆動部である。2833 はパネルを駆動するためのタイミングを生
10 成する表示タイミング生成部である。

2830 は入力された映像信号をデジタル化する A/D 部である。
2831 は RGB それぞれの映像信号を表示パネルの画素配列に従っ
て選択配置する RGB 選択配置部である。

A/D 部 2830 はディスプレイ装置に入力された RGB それぞれ
15 の映像信号 S1 をデジタル化し、デジタル映像信号 S2-1 ~ S2-
3 を生成する。

RGB 選択配置部 2831 はデジタル映像信号 S2 を表示パネル 2
801 の画素配列に対応するようにデータを選択配置し、輝度信号 S
3 を生成する。

20 シフトレジスタ 2803-3 は輝度データを駆動部に入力する。ラ
ッチ 2803-2 はシフトレジスタのデータを蓄える。

変調駆動回路 2803-1 はディスプレイ駆動タイミング S5 にし
たがってラッチされたデータをもとに表示パネル 2801 を駆動する。

また、転送タイミング生成部 2832 及び表示タイミング生成部 2
25 833 では入力された映像信号 S1 をもとにそれぞれ、タイミング信
号 S6、S7、ディスプレイ駆動タイミング S4、S5 を生成する。

走査側駆動部 2802 ではディスプレイ駆動タイミング S4 にした

がって、表示パネル 2801 の走査電極を順にスキャンする。

この画像表示装置では RGB それぞれの映像データを選択配置するため、輝度信号 S3 は選択配置する前の 3 倍のデータ量となり、輝度信号 S3 の転送速度は映像信号 S1 の 3 倍の速度が必要となる。また
5 シフトレジスタ 2803-3 も相応の動作速度が求められる。

この対策として、特開平 5-100632 号公報に示された構成を採用し、輝度信号 S3 を分割して並列に転送することによってシフトレジスタ 2803-3 の動作速度を下げることを検討した。

しかし、記憶回路部 2404 を特開平 5-100632 号公報の記載を参酌して構成すると、シフトレジスタのデータ容量の 2 倍の記憶容量が必要となる。この記憶回路に使用可能な高速メモリは高価であるので、結果的に装置のコストが高くなってしまいう問題が生じる。
10

本発明は、時系列信号を並列信号に変換する変換回路（シフトレジスタなど）を含む変調側駆動回路を用いて好適に画像表示を行うことが出来る構成を実現することを課題とする。具体的には変換回路の動作速度が低速でよく及びまたはメモリの使用量の少なくてすむ画像表示装置、画像表示方法、画像表示プログラム及び画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体を提供することを目的
15
20 の一つとする。

本願にかかわる発明の一つは以下のように構成される。

複数の走査配線と、

該走査配線とともにマトリクス配線を構成する複数の変調配線と、

前記走査配線によって印加される走査信号と前記変調配線によって
25 印加される変調信号によってマトリクス駆動される表示素子と、

前記複数の走査配線を順次選択して、選択した走査配線に走査信号を印加する走査回路と、

前記時系列な変調信号生成用信号に基づいて並列な変調信号を出力

を有しており、

10 前記出力回路は、前記並列な出力のうちの少なくとも一つの出力を、
前記並列な出力のそれぞれの後端の内の最後端を構成するための前記
入力信号を記憶する前に出力開始するものである、
ことを特徴とする画像表示装置、である。

なお表示素子は、例えば液晶パネルやプラズマディスプレイパネル

- 10054395-012502
- 5 の各画素や電子放出素子やエレクトロルミネセンス素子や微小ミラーを集積して光の反射を制御する微小ミラー集積デバイスの各ミラーが相当する。液晶や微小ミラー集積デバイスを用いる場合は光源と合わせて用いればよく、電子放出素子を用いる場合は放出される電子により発光する蛍光体を合わせて用いればよい。なお表示素子は、走査信号と変調信号が印加されることによって駆動されることになるが、具体的には走査信号として与えられる電位と変調信号として与えられる電位との電位差が表示素子に与えられることによって表示素子が駆動される。波高値変調の場合には具体的にはオン時の変調信号の波高値が変調され、パルス幅変調の場合には具体的にはオン時の変調信号のパルス幅が変調される。

なお、出力回路における記憶は入力信号の全てを記憶する必要はなく、例えば出力回路への入力と出力回路からの出力が同時になる入力信号については記憶せずに出力しても良い。

- 15 この発明において前記並列な出力の内の複数の（好適には全部の）出力の出力開始を略同時にすると好適である。なおここ及び以降で略同時というときその許容範囲は次段の回路においてそのずれが無視できて同時なものとして扱うことができるかもしくは簡単なタイミング調整回路（小容量のバッファなど）を用いてそのずれをなくすことが

- 20 出来る範囲を言う。

- また上記各発明において、前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、前記第1の部分に対応する出力である第1の出力を、前記第Dの部分に対応する出力である第Dの出力が出力可能になったときもしくはそれ以降に出力開始する構成を好適に採用できる。なお、出力可能になったときとは、出力回路
- 25

に入力される時点、特には出力回路において該信号を記憶するメモリへの入力開始された時点が挙げられる。

またこの発明において、前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の
5 前記並列な出力を出力するものであり、前記第1の部分に対応する出力である第1の出力の出力開始を、前記第Dの部分に対応する出力である第Dの出力の出力開始と略同時にすると好適である。

またこの発明において、前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の
10 前記並列な出力を出力するものであり、該D個の出力の出力開始を略同時にする構成を好適に採用できる。

また以上述べた各発明において、前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の
15 前記並列な出力を出力するものであり、該D個の出力の出力終了を略同時にする構成を好適に採用できる。

また以上述べた各発明において、前記複数の並列な出力を出力するために前記出力回路に時系列に入力される入力信号は、前記変調配線に並列に供給されるn個の変調信号を生成するためのn個の時系列な
20 入力信号であり、前記出力回路は該n個の時系列な入力信号を入力順に第1のメモリから第Dのメモリ（Dは2以上の整数）に順次記憶するものであり、前記各メモリは与えられるライトアドレスによって指定されるアドレスに前記入力信号の書き込みを行い、与えられるリー
25 ドアドレスによって指定されるアドレスに書き込まれた信号の読出しを行うものであり、

第 X のメモリ ($1 \leq X \leq D$) に与えられるライトアドレスは、前記 n 個の入力信号のうちの $n(X-1)/D+1$ 番目の入力信号が入力されてから nX/D 番目の入力信号が入力されるまでの期間に該入力信号に同期して 1 から n/D という順に変化するものであり、

- 5 前記各メモリに記憶された信号を前記リードアドレスを各メモリに与えることにより読み出して、各メモリからの出力を D 個の前記並列な出力として出力する構成を好適に採用できる。

- 10 なおここで、第 X のメモリ ($1 \leq X \leq D$) に与えられる前記リードアドレスは、前記 n 個の入力信号のうちの $n(D-1)/D+1$ 番目の入力信号が入力されてから次の n 個の入力信号のうちの n/D 番目の入力信号が入力されるまでの期間内 (特に好適にはその期間の全てを用いて) に 1 から n/D という順に変化するものである構成を好適に採用できる。

- 15 この構成においても並列な各出力の開始時点と終了時点をそろえると好適であり、特にこの構成によると、容易に並列な各出力の開始時点と終了時点をそろえることができる。なおこの構成において出力経路を最も有効に用いることが出来るのは $D=2$ の場合である。

- 20 また遅延回路を更に有しており、前記時系列に入力される信号は前記出力回路への入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) を有しており、前記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出力を出力するものであり、かつ前記 D 個の出力の内の少なくとも一つの出力を他の出力の出力開始よりも先に出力開始するものであり、前記遅延回路は該先に出力開始される出力が前記変調側駆動回路に入力されるのを遅延させるものである構成も好適
- 25 に採用できる。

ここで遅延回路による遅延量は、先に出力開始される出力の変調側駆動回路への入力開始と、他の出力の変調側駆動回路への入力開始と

の時間差を、先に出力される出力の出力開始と他の出力の出力開始との時間差よりも小さくするように設定すると良く、特には、各出力の変調側駆動回路への入力開始が略同時になるように遅延量を設定すると良い。

- 5 また遅延回路を更に有しており、前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは3以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、かつ前記第1の部分から第D-2の部分の夫々に対応する第1の出力から第D-2の出力の各々を第D-1の部分及び第Dの部分の出力よりも先に出力開始するものであり、前記遅延回路は前記第1の出力から第D-2の出力の各々が各前記変調側駆動回路に入力されるのを遅延させるものである構成を好適に採用できる。
- 10

- 15 また前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは3以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、かつ第X（ $1 \leq X \leq D-1$ ）の出力を前記第1の部分の入力開始から第1の所定期間遅れて開始し、第Dの出力を前記第1の部分の入力開始から第2の所定期間遅れて開始するものであり、前記第1の所定期間は前記第1の部分から第Dの部分が入力されるのにかかる期間である基準期間（具体的には一走査期間）の X/D であり、前記第2の所定期間は前記基準期間の $(D-1)/D$ であり、
- 20

- 25 更に、第X（ $1 \leq X \leq D-2$ ）の出力に遅延を与える遅延回路を有しており、該遅延回路による遅延量は前記基準期間の $(D-X-1)/D$ である構成を好適に採用できる。

また最初に述べた発明構成及び上述の遅延回路を用いた発明構成において、前記複数の並列な出力を出力するために前記出力回路に時系

列に入力される入力信号は、前記変調配線に並列に供給される n 個の変調信号を生成するための n 個の時系列な入力信号であり、前記出力回路は該 n 個の時系列な入力信号を入力順に第 1 のメモリから第 D のメモリ (D は 3 以上の整数) に順次記憶するものであり、前記各メモリは与えられるライトアドレスによって指定されるアドレスに前記入力信号の書き込みを行い、与えられるリードアドレスによって指定されるアドレスに書き込まれた信号の読出しを行うものであり、

第 X のメモリ ($1 \leq X \leq D$) に与えられるライトアドレスは、前記 n 個の入力信号のうちの $n(X-1)/D+1$ 番目の入力信号が入力されてから nX/D 番目の入力信号が入力されるまでの期間に該入力信号に同期して 1 から n/D という順に変化するものであり、

第 X のメモリ ($1 \leq X \leq D-1$) に与えられる前記リードアドレスは、前記 n 個の入力信号のうちの $nX/D+1$ 番目の入力信号が入力されてから次の n 個の入力信号のうちの nX/D 番目の入力信号が入力されるまでの期間内に 1 から n/D という順に変化し、

第 D のメモリに与えられるリードアドレスは、第 $D-1$ のメモリに与えられるリードアドレスと同じに変化するものであり、

各メモリからの出力を D 個の前記並列な出力として出力する構成を好適に採用できる。

またこの発明において、前記複数の並列な出力を出力するために前記出力回路に時系列に入力される入力信号は、前記変調配線に並列に供給される n 個の変調信号を生成するための n 個の時系列な入力信号であり、前記出力回路は該 n 個の時系列な入力信号を入力順に第 1 のメモリから第 D のメモリ (D は 3 以上の整数) に順次記憶するものであり、前記各メモリは与えられるライトアドレスによって指定されるアドレスに前記入力信号の書き込みを行い、与えられるリードアドレスによって指定されるアドレスに書き込まれた信号の読出しを行うも

のであり、

- 第 X のメモリ ($1 \leq X \leq D$) に与えられるライトアドレスは、前記
5 n 個の入力信号のうちの $n(X-1)/D+1$ 番目の入力信号が入力
されてから nX/D 番目の入力信号が入力されるまでの期間に該入力
信号に同期して 1 から n/D という順に変化するものであり、

- 第 X のメモリ ($1 \leq X \leq D-1$) に与えられる前記リードアドレス
は、前記 n 個の入力信号のうちの $nX/D+1$ 番目の入力信号が入力
されてから次の n 個の入力信号のうちの nX/D 番目の入力信号が入
力されるまでの期間全体を用いて 1 から n/D という順に変化し、
10 第 D のメモリに与えられるリードアドレスは、第 $D-1$ のメモリに
与えられるリードアドレスと同じに変化するものであり、

各メモリからの出力を D 個の前記並列な出力として出力する構成を
好適に採用できる。

- なお以上述べた各発明において、前記複数の変調側駆動回路はそれ
15 ぞれ同数の前記変調配線に変調信号を供給するものである構成を好適
に採用できる。

また、前記複数の変調側駆動回路のそれぞれが変調信号を供給する
変調配線の数と同数でない構成も採用できる。

- このとき、前記時系列に入力される信号は前記出力回路への入力順
20 に第 1 の部分から第 D の部分 (D は 2 以上の整数) を有しており、前
記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な
出力を出力するものであり、前記第 1 の部分に対応する第 1 の出力が
入力される前記変調側駆動回路が変調信号を供給する変調配線の数
は、前記第 D の部分に対応する第 D の出力が入力される前記変調側駆動回
25 路が変調信号を供給する変調配線の数よりも少ない構成を好適に採用
できる。

特に好適には、第 1 の部分に対応する第 1 の出力が入力される変調

側駆動回路が変調信号を供給する変調配線の数（以降第1の部分に対応する変調配線の数とも言う。他の部分についても同様）が第2の部分から第Dの部分のそれぞれに対応する変調配線の数いずれよりも小さい構成を好適に採用できる。

ここで前記複数の並列な出力を出力するために前記出力回路に時系列に入力される入力信号は、前記変調配線に並列に供給されるn個の変調信号を生成するためのn個の時系列な入力信号であり、前記出力回路は該n個の時系列な入力信号を入力順に第1の部分から第Dの部分（Dは2以上の整数）とし、各部分に対応する出力を前記複数の並列な出力として出力するものであり、各部分が対応する出力が入力される前記変調側駆動回路が前記変調信号を供給する変調配線の数之比が、

$$d[1]:d[2]:\dots:d[D-1]:d[D],$$

前記出力経路の夫々における信号の転送速度が、前記入力信号の入力速度のM倍の速度であるとしたときに、

$$d[X] \leq M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right)$$

・・・ (1)

の条件を満たすと好適である。

また、前記複数の並列な出力を出力するために前記出力回路に時系列に入力される入力信号は、前記変調配線に並列に供給される n 個の変調信号を生成するための n 個の時系列な入力信号であり、前記出力回路は該 n 個の時系列な入力信号を入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) とし、各部分に対応する出力を前記複数の並列な出力として出力するものであり、各部分に対応する出力が入力される前記変調側駆動回路が前記変調信号を供給する変調配線の数の比が、

$$d[1]:d[2]:\dots:d[D-1]:d[D],$$

前記出力経路の夫々における信号の転送速度が、前記入力信号の入力速度の M 倍の速度であるとしたときに、

$$d[X]=M\left(d[D]+\sum_{x=1}^Xd[x]\right) \quad [X=1\sim D-1]$$

$$d[D]=M\left(\sum_{x=1}^Dd[x]\right)$$

・・・ (2)

の条件を満たすと特に好適である。

なお以上述べた各発明において、前記出力回路は、前記記憶を行うためのメモリを有しており、少なくとも前記第 D の部分を記憶するメモリは書き込みと読出しを非排他的に行うことが出来るメモリであると好適である。これにより第 D の部分の書き込みと読出しを同時に行

うことが可能となるので、第Dの部分の全てが記憶されるのを待たず
に出力を開始できる。

- また更に前記第1の部分記憶するメモリが書き込みと読出しを非
排他的に行うことの出来るメモリであると好適である。これにより第
5 1の部分の書き込み期間の少なくとも一部を、その前の出力のための
読出し期間として用いることが出来る。

- また、前記時系列に入力される信号は前記出力回路への入力順に第
1の部分から第Dの部分(Dは2以上の整数)を有しており、前記出
力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力
10 を出力するものであり、前記D個の出力を出力するD個の前記出力経
路の夫々に対応してメモリを有しており、D個の該メモリの少なくと
も一つは書き込みと読出しを排他的に行うメモリブロックを2つ有し
ており、該2つのメモリブロックは前記D個の部分のうちの対応する
部分の一部が一つのメモリブロックに書き込まれた後、それに続く一
15 部の他のメモリブロックへの書き込みと、先に前記入力信号の一部が
書き込まれた前記メモリブロックからの信号の読出しとを少なくとも
一部を重複させて行うものである構成を好適に採用できる。

- 特に前記D個のメモリのそれぞれが前記2つのメモリブロックを有
するものであると好適である。一つの出力経路に対応するメモリがメ
20 モリブロックを2つ以上有することにより各メモリブロックの書き込
みと読み出し動作を排他的に行う構成であっても、メモリブロックへ
の信号の書き込みが完了した後、次の信号のメモリブロックへの書き込
みを開始されるまでの期間(好適にはその全期間)を用いて該メモリ
ブロックからの信号を読み出すことが出来るため、転送速度を下げる
25 効果が顕著に得られる。また、各出力経路において転送速度を下げる
のが好ましいこと、及び各出力経路における転送速度を共通にするこ
とが可能になることから、各出力経路に対応する各メモリが2つ以上

10054395-012502

の前記メモリブロックを持つことが望ましい。

なおここでは一つの出力経路に対応する2つのメモリブロックそれぞれから重複することなく読み出された信号により該出力経路に対応する前記出力が構成される。

- 5 なおここで、前記2つのメモリブロックそれぞれから順次読み出された信号により前記並列な出力の一つが構成されており、該並列な出力のそれぞれの各前記変調側駆動回路への入力開始のずれを緩和するための遅延回路を更に有する構成を好適に採用できる。

- 10 また、前記第1の出力から第Dの出力の夫々に対応して2つずつ設けられるメモリブロックに前記入力信号が入力される順に番号を付けたときに、奇数番目のメモリブロックに書き込まれる入力信号数と偶数番目のメモリブロックに書き込まれる入力信号数とが、

$1/D \leq \text{奇数番目のメモリブロックに書き込まれる入力信号数} / \text{偶数番目のメモリブロックに書き込まれる入力信号数} \leq D$

- 15 を満たし、夫々のメモリブロックに書き込まれる入力信号数は、各変調側駆動回路が変調信号を供給する変調配線の総計の $1/D (D+1)$ 倍以上、 $D/D (D+1)$ 倍以下である構成を好適に採用できる。

- 20 メモリブロックに書き込まれる入力信号数とは、一つの入力信号に対応して一つの変調配線に供給する一つの変調信号が生成されるものとし、その入力信号の数のことを示す。

また前記第1の出力から第Dの出力の夫々に対応して2つずつ設けられるメモリブロックに前記入力信号が入力される順に番号を付けたときに、

- 25 Xが1から $2D-3$ までの奇数及び $2D$ である場合に、X番目のメモリブロックに書き込まれる入力信号数は、各変調側駆動回路が変調信号を供給する変調配線の総計の $D/D (D+1)$ 倍とし、

Xが2から $2D-2$ までの偶数及び $2D-1$ である場合に、X番目

のメモリブロックに書き込まれる入力信号数は、各変調側駆動回路が変調信号を供給する変調配線の総計の $1/D(D+1)$ 倍とする構成を好適に採用できる。

- 5 5 度が等しい構成が好適である。

- 10 10 また以上述べた各発明において、前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、前記各変調側駆動回路には該D個の並列な出力が略同時に入力開始されるような構成にすると特に好適である。

- 15 15 また以上述べた各発明において、R入力信号、G入力信号、B入力信号が夫々入力され、前記出力回路が各色の入力信号に対して設けられており、各出力回路の複数の並列な出力のうち、同じ変調側駆動回路に出力されるべき出力を合成する合成回路を更に有する構成を好適に採用できる。合成回路としては、Rに対応する出力回路からの所定の変調側駆動回路への出力と該所定の変調側駆動回路への他の色に対応する出力回路からの出力を、該所定の変調側駆動回路が変調信号を供給する変調配線に接続される表示素子に対応する色に応じて選択して時系列に並べる色選択回路を用いればよい。よって、合成回路はD
- 20 20 個の変調側駆動回路の夫々に対応して設けると良い。

また本願は以下の発明を含んでいる。

- 25 25 複数の走査配線と、
該走査配線とともにマトリクス配線を構成する複数の変調配線と、
前記走査配線によって印加される走査信号と前記変調配線によって印加される変調信号によってマトリクス駆動される表示素子と、
前記複数の走査配線を順次選択して、選択した走査配線に走査信号

を印加する走査回路と、

時系列に入力される第 1 の色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力を D 個 (D は 2 以上の整数) 発生し、該 D 個の出力を並列な出力として D 個の出力経路に出力する第 1 の出力回路及び、時系列に入力される第 2 の色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力を D 個発生し、該 D 個の出力を並列な出力として D 個の出力経路に出力する第 2 の出力回路と、前記第 1 の出力回路からの前記出力が出力される前記 D 個の出力経路の内の X 番目の出力経路 ($1 \leq X \leq D$) と前記第 2 の出力回路からの前記出力が出力される前記 D 個の出力経路の内の X 番目の出力経路 ($1 \leq X \leq D$) とに夫々出力された出力を合成する D 個の合成回路とを有する出力回路と、

前記合成回路から出力される時系列な変調信号生成用信号に基づいて並列な変調信号を出力する変調側駆動回路と、

を有しており、

前記変調側駆動回路は、前記 D 個の合成回路の各々に対応して複数設けられており、それぞれが前記複数の変調配線のうちの一部かつ複数の変調配線に前記変調信号を供給するものであり、

前記表示素子は、一つの走査配線によって前記走査信号が同時に与えられる複数の表示素子が前記第 1 の色を表示するための表示素子と第 2 の色を表示するための表示素子とを含むように配置されており、

前記合成回路は、前記第 1 の色を表示するための表示素子と第 2 の色を表示するための表示素子の配置に従って前記第 1 の出力回路と前記第 2 の出力回路からの出力を合成するものであることを特徴とする画像表示装置、である。

更に第 3 の色もしくは更にそれ以外の色に対応する出力回路にして

も良い。例えばR入力信号とG入力信号とB入力信号を別々に入力する構成を採用でき、それは以下のように構成される。

複数の走査配線と、

該走査配線とともにマトリクス配線を構成する複数の変調配線と、

- 5 前記走査配線によって印加される走査信号と前記変調配線によって印加される変調信号によってマトリクス駆動される表示素子と、

前記複数の走査配線を順次選択して、選択した走査配線に走査信号を印加する走査回路と、

- 10 時系列に入力される赤色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力をD個（Dは2以上の整数）発生し、該D個の出力を並列な出力としてD個の出力経路に出力する第1の出力回路及び、時系列に入力される緑色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力をD個発生し、該D個の出力を並列な出力としてD個の出力経路に出力する第2の出力回路と、時系列に入力される青色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力をD個発生し、該D個の出力を並列な出力としてD個の出力経路に出力する第3の出力回路と、前記第1の出力回路からの前記出力が出力される前記D個の出力経路の内のX番目の出力経路（ $1 \leq X \leq D$ ）と前記第2の出力回路からの前記出力が出力される前記D個の出力経路の内のX番目の出力経路（ $1 \leq X \leq D$ ）と前記第3の出力回路からの前記出力が出力される前記D個の出力経路の内のX番目の出力経路（ $1 \leq X \leq D$ ）とに夫々出力された出力を合成するD個の合成回路とを有する出力回路と、
- 20 前記合成回路から出力される時系列な変調信号生成用信号に基づいて並列な変調信号を出力する変調側駆動回路と、
- 25 を有しており、

前記変調側駆動回路は、前記D個の合成回路の各々に対応して複数設けられており、それぞれが前記複数の変調配線のうちの一部かつ複数の変調配線に前記変調信号を供給するものであり、

前記表示素子は、一つの走査配線によって前記走査信号が同時に与えられる複数の表示素子が赤色を表示するための表示素子と緑色を表示するための表示素子と青色を表示するための表示素子とを含むように配置されており、

前記合成回路は、前記赤色を表示するための表示素子と緑色を表示するための表示素子と青色を表示するための表示素子の配置に従って前記第1の出力回路と前記第2の出力回路と前記第3の出力回路からの出力を合成するものであることを特徴とする画像表示装置、である。

BRIEF DESCRIPTION OF THE DRAWINGS

図1は、本発明に係る画像表示装置の第1の実施形態の構成図である。

図2は、図1に示される多層化バッファ32の内部構成を示す図である。

図3は、図1に示される本発明に係る画像表示装置の第1の実施形態の動作のタイミングチャートである。

図4は、本発明に係る画像表示装置の第2の実施形態に使用される多層化バッファ432及び駆動部403の一部の構成図である。

図5は、図4に示される画像表示装置の動作のタイミングチャートである。

図6は、図4に示される画像表示装置の動作のタイミングチャートである。

図7は、本発明に係る画像表示装置の第4の実施形態における多層化バッファ732及び駆動部703の構成図である。

図 8 は、図 7 に示される画像表示装置のタイミングチャートである。

図 9 は、本発明に係る画像表示装置の第 6 の実施形態における多層化バッファ 9 3 2 および駆動部 9 0 3 の構成図である。

図 1 0 は、図 9 に示される画像表示装置の動作のタイミングチャートである。

図 1 1 は、図 9 に示される画像表示装置の動作のタイミングチャートである。

図 1 2 は、図 9 に示される画像表示装置の動作のタイミングチャートである。

図 1 3 は、本発明に係る画像表示装置の第 7 の実施形態における多層化バッファ 1 3 3 2 および駆動部 1 3 0 3 の一部の構成図である。

図 1 4 は、図 1 3 に示される画像表示装置の動作のタイミングチャートである。

図 1 5 は、図 1 3 に示される画像表示装置の動作のタイミングチャートである。

図 1 6 は、図 1 3 に示される画像表示装置の動作のタイミングチャートである。

図 1 7 は、本発明に係る画像表示装置の第 8 の実施形態における全体の構成図である。

図 1 8 は、図 1 7 に示される画像表示装置に用いられる、RGB 選択配置部と一体化した多層化バッファ 1 7 3 2 の構成図である。

図 1 9 は、図 1 7 に示される画像表示装置の第 8 の実施形態の動作のタイミングチャートである。

図 2 0 は、図 1 7 に示される画像表示装置の第 8 の実施形態の動作のタイミングチャートである。

図 2 1 は、図 1 7 に示される画像表示装置の第 8 の実施形態の動作のタイミングチャートである。

図 2 2 は、特開平 5 - 1 0 0 6 3 2 号公報に示されている従来の画像表示装置の構成を示す構成図である。

図 2 3 は、図 2 2 に示される画像表示装置のタイミングチャートである。

5 図 2 4 は、従来の画像表示装置の構成図である。

図 2 5 は、図 2 4 に示される画像表示装置のタイミングチャートである。

図 2 6 は、USP 5 7 1 0 6 0 4 に示される画像表示装置の構成図である。

10 図 2 7 は、図 2 6 に示される画像表示装置のタイミングチャートである。

図 2 8 は、従来のマトリクス表示パネルを用いた画像表示装置の構成図である。

15 図 2 9 は、図 2 8 に示される画像表示装置の信号のタイミングチャートである。

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の
20 寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

また、以下の図面において、前述の従来技術の説明で用いた図面に記載された部材、及び既述の図面に記載された部材と同様の部材には同じ番号を付す。また、以下に説明する本発明に係る画像表示装置の
25 各実施形態の説明は、本発明に係る画像表示方法及び画像表示プログラムの各実施形態の説明を兼ねる。

(第 1 の実施形態)

まず、本発明に係る画像表示装置の第 1 の実施形態について図 1 から図 3 を参照して説明する。

図 1 は、本発明に係る画像表示装置の第 1 の実施形態の構成図である。第 1 の実施形態では、転送信号の分割数を 2 ($D = 2$) とした例を説明する。

図 1 において、1 はマトリクス状に走査配線と n 本の変調配線が配置された表示パネルである。2 は走査配線を駆動するための走査回路である走査側駆動部である。3 は変調配線を駆動する駆動部である。駆動部 3 は転送信号の分割数 2 に対応して 2 つの変調側駆動回路を有している。1 つの変調側駆動回路は時系列に送られてくる転送信号（変調信号生成用信号である変調データ）を並列に出力する回路であるシフトレジスタ 3-3 と、シフトレジスタからの信号が入力され、それを保持するラッチ 3-2 回路と、変調データが入力されそれにしたがって変調信号を出力する変調駆動回路 3-1 とを有している。

上記走査配線と変調配線との交点に対応して本発明の構成要素たる表示素子としての電子放出素子が設けられている。このような電子放出素子としては、例えば、表面伝導型電子放出素子、電界放出型（FE 型）の電子放出素子、金属／絶縁体／金属型（MIM 型）の電子放出素子などを挙げることができる。本実施形態では走査配線と変調配線の交点近傍に設けた表面伝導型電子放出素子を表示素子として用いた。他の表示素子を用いる構成としては液晶を素子として光変調を行う構成や、エレクトロルミネセンス素子を用いる構成や、微小ミラーを表示素子として該微小ミラーによる光変調を行う構成等を採用できる。

3-3 はパネルを駆動するためのタイミングを生成する表示タイミング生成部である。

3-0 は入力された映像信号をデジタル化する A/D 部である。3-1

はRGBそれぞれの映像信号を表示パネルの画素配列に従って選択配置するRGB選択配置部である。

- 32は入力される入力信号（輝度信号）を変調側駆動回路の数に分割し、該分割した輝度信号を、変調側駆動回路の夫々へ転送する変調データ（変調信号生成用信号）として、それぞれが変調側駆動回路に接続される複数（ここでは2個）の出力経路に並列に出力する出力回路であり、ここでは多層化バッファとも称する。

A/D部30はディスプレイ装置に入力されたRGBそれぞれの映像信号S1をデジタル化し、デジタル映像信号S2を生成する。

- 10 RGB選択配置部31は、デジタル映像信号S2を表示パネル1の画素配列に対応するようにデータを選択配置し、輝度信号S3を生成する。

- 多層化バッファ32は、1走査期間内の輝度信号S3を複数のブロックに分割し、複数のシフトレジスタ3-3に並行に転送する、本発明の構成要素たる変調信号生成用信号（転送信号）としての転送データS31～S32（変調データ）を生成する。この多層化バッファ32による輝度信号S3の複数のブロックへの分割は、変調側駆動回路の夫々に接続される変調配線の数の比、すなわち、変調配線のブロックの分割比に対応して行われる。例えば変調配線の分割比が、a本：b本：c本であれば、輝度信号の分割比（例えば輝度信号に含まれる変調配線に対応する情報の量の比）もa：b：cとなる。

シフトレジスタ3-3は転送データS31～S32の駆動部3への入力部である。

- 25 ラッチ回路3-2は、シフトレジスタ3-3に蓄えられた1走査期間分のデータをディスプレイ駆動タイミングS5にしたがってラッチする。

変調駆動回路3-1は、ラッチされたデータをもとに走査期間ごと

10054895-012502
2005210-56845001

に表示パネル１を駆動する。

また、本発明の構成要素たるタイミング発生手段としての表示タイミング生成部３３では入力された映像信号Ｓ１をもとにディスプレイ駆動タイミングＳ４、Ｓ５を生成する。

- ５ 走査側駆動部２ではディスプレイ駆動タイミングＳ４にしたがって、表示パネル１の走査配線を順にスキャンし、選択した走査配線に走査信号を印加する。

以上を順次繰り返すことによって表示パネル１に画像を表示する。

- 図２は、図１に示される多層化バッファ３２の内部構成を示す図である。また図３は、図１に示される本発明に係る画像表示装置の第１の実施形態の動作のタイミングチャートである。

図２において、３４は多層化バッファ内のタイミング信号を発生する、本発明の構成要素たるアドレス発生手段としてのタイミングコントローラである。

- １５ このタイミングコントローラ３４には、本発明に係る画像表示プログラムを記録する記録媒体として、例えばRAM（Random Access Memory）やROM（Read Only Memory）等の主記憶装置が具備されている（不図示）。

- また、タイミングコントローラ３４は、ハードウェアによるロジック回路（ASIC等）でも実施可能である。

- また、本発明に係る画像表示装置の第１の実施形態は、上記記録媒体の記憶容量を補うため、例えば磁気ディスク装置、光ディスク装置、半導体ディスク装置等による、フロッピーディスク、ハードディスク、CD-ROM、CD-R、CD-RW、MO等の補助記憶装置を使用
- ２５ するとしても良い。このことは以下の他の実施形態でも同様である。

したがって、本発明に係る画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体は、上記主記憶装置及び補助記憶装置の

少なくともいずれか一方が該当することになる。ただし、その他にもCD-ROMや、FDや、CD-Rや、CD-RWなども、本発明に係る画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体として使用することができる。

- 5 なお、本発明及び本実施形態の説明における、コンピュータ読み取り可能な記録媒体には、画像表示装置が読取可能な記録媒体の他、サーバが読み取り可能な記録媒体や、クライアントが読み取り可能な記録媒体を含むものである。

- 10 41、42は映像信号を一時的に貯える、第1のメモリであるメモリA、第2のメモリであるメモリBである。

このメモリに用いる記憶素子は入力ポートと出力ポートとを別個に持つメモリであり、入出力を非同期に同時に行える非同期形デュアルポートタイプである。

- 15 S3は表示パネル1の素子配列に基づいてRGBの信号が選択配置された映像信号である。

S11～S12はメモリA41、メモリB42に対するライトアドレス信号である。S21～S22はメモリA41、メモリB42に対するリードアドレス信号である。

- 20 S71～S72は各メモリのリードデータであり、そのまま転送信号（変調データ）S31～S32となる。

また各メモリには不図示のライトイネーブル信号が接続されており、有効なライトアドレスS11～S12が与えられていない期間はライトディセーブルとなる。

- 25 メモリA41とメモリB42のそれぞれの容量は、1走査配線分の輝度信号のうちの、各メモリに対応する変調側駆動回路が担当する変調配線数分の輝度信号を記憶できる容量になっており、ここでは変調配線を半分に分けてそれぞれを各変調側駆動回路が担当するので、各

メモリの容量は1走査配線分のデータ量の半分となっている。各メモリは、幅は映像信号S3に等しく、深さは $n/2$ の記憶素子で構成している。

5 タイミングコントローラ34はS11～S12およびS21～S22の各アドレスコントロール信号を生成する。以下、各信号のタイミングの詳細を説明する。

メモリAライトアドレス信号S11は、多層化バッファに入力する輝度信号の1走査期間中の1番目のデータが入力されてから $n/2$ 番目のデータが入力されるまでの期間（以下これを「1走査期間中の1
10 ～ $n/2$ の期間」と表記する。以下同様）に輝度信号S3に同期して1～ $n/2$ という順に変化する。

メモリBライトアドレス信号S12は、1走査期間中の $n/2+1$ ～ n の期間に輝度信号S3に同期して1～ $n/2$ という順に変化する。

メモリAおよびBリードアドレス信号S21～S22は、1走査期間中の $n/2+1$ ～次の走査期間の $n/2$ の期間内に1～ $n/2$ という順に変化する。
15

このリードアドレス信号に従って変調データが読みだされて出力される。このリードアドレス信号は必ずしも輝度信号S3に同期している必要はない。また、前記期間内であればもっと短い期間に1～ $n/2$
20 という順に変化してもかまわないが、それに伴い後述するデータ速度が $1/2$ まで低下しなくなるので、前記期間（1走査期間）を目いっぱい使用（全期間を使用）することが好ましい。

以上のコントロール信号を与えることによって、メモリAリードデータS71には輝度信号S3の1～ $n/2$ のデータが $1/2$ 走査期間
25 遅れて輝度信号S3のデータ速度の $1/2$ の速度で出力される。

同様にメモリBリードデータS72には輝度信号S3の $n/2+1$ ～ n のデータが $1/2$ 走査期間遅れて輝度信号S3のデータ速度の1

／２の速度で出力される。

このように、タイミングコントローラ３４から、ライトアドレス信号Ｓ１１，Ｓ１２及びリードアドレス信号Ｓ２１，Ｓ２２がそれぞれのメモリＡ４１及びメモリＢ４２に入力されることにより、転送信号
５ Ｓ３１，Ｓ３２が出力される。

したがって、タイミングコントローラ３４のメモリブロックＡ４１及びメモリブロックＢ４２の制御プログラムは、本発明に係る画像表示プログラムであるといえる。このことは、以下の各実施形態において同様である。

１０ 以上により、本実施形態によれば、２つのブロックに分割したシフトレジスタに並列にデータを転送し、転送データＳ３１～Ｓ３２の転送速度およびシフトレジスタ３－３の動作速度を１／２に落とすことが、シフトレジスタの１走査配線分の容量に等しい記憶装置の容量で実現可能となる。

１５ ここでは、出力回路（多層化バッファ３２）として複数の出力経路（それぞれは各変調側駆動回路、特にシフトレジスタに接続される）を持つもの（具体的には、前記出力経路に接続される出力ポートを持つメモリを複数持つ構成）を採用することにより、変調データを複数の変調側駆動回路に並列に出力できるようにした。特に、時系列に
２０ 出力回路（多層化バッファ３２）に入力される１走査配線分の変調データを各変調側駆動回路に対応する部分ごとに分けて各部分を各出力経路に出力する構成とした。すなわち、１走査配線分の変調データ（ n 個の入力信号）は D 個に分割され、 D 個の出力として出力される。ここで第 X （ $1 \leq X \leq D$ ）の出力は該第 X の出力に対応する変調側駆
２５ 動回路に接続される複数の変調配線に供給する変調信号を生成するための信号で構成される。また、１走査配線分の変調データを出力するときに以下の条件を採用している。

・条件 1 1 走査配線分の変調データを分割した部分変調データのうちの最初の部分を出力回路で一時記憶した後、該最初の部分の読出しの開始（該最初の部分を変調側駆動回路に転送する経路である第 1 の出力経路への出力の開始）を、該 1 走査配線分の全ての変調データの出力回路（多層化バッファ 3 2）への入力（出力回路での記憶）が完了する前に開始する。

・条件 2 出力回路のメモリ内の所定アドレスに記憶された変調データの出力は、次に入力される変調データによる該所定アドレスへの上書きが行われるまでの間に行う。

10 ・条件 3 上記条件 1、2 を満たした上で、前記最初の部分の読出し（前記第 1 の出力経路への前記最初の部分の出力）は、該最初の部分を出力回路に入力するのにかかる時間よりも長い時間をかけて行う。

これらの条件を満たすことにより、少ない記憶容量で、出力回路から変調側駆動回路への変調データの通信レート（転送レート）を下げることが出来る構成を実現できる。

なお本実施形態では、時系列な 1 走査配線分の変調データを D 個（本実施例では $D = 2$ ）に分割した複数の部分のうちの最後の部分（第 D の部分）の出力回路への入力を開始した時点で、各出力経路への変調データの出力の開始が同期するようにしている。（なお、各出力経路への変調データの出力のタイミングに関して述べる場合、特に注釈のない限り、それは 1 走査配線分の変調データを分割した各部分を各出力経路へ出力する場合のタイミングのことを指すものとする。）

各出力経路への変調データの出力の開始は、前記最後の部分の出力回路への入力の開始時点に完全に一致させる必要はないが、転送レートをなるべく低く抑制するためには、該開始時点に一致させるかその近傍（前記最後の部分の出力回路への入力の開始時点から、前記転送レートのクロックを 10 カウントする時点までの間に設定するのが好

ましい) に設定すると好適である。

なお、本実施例では、1 走査配線分の変調データの各部分を並列に変調側駆動回路に出力する構成として、特に各出力経路への変調データの出力の開始を同時に設定しているが、各部分を並列に出力するとは、各部分の出力の開始を一致させることに限定されるものではなく、出力回路で記憶された所定の変調配線に印加すべき変調信号に対応する変調データの出力を、該変調データが該所定の変調配線に印加すべき次の変調データにより上書きされる前に行うことができる範囲で適宜設定することができる。ただし、各出力（各部分変調データ）が各出力経路に出力されている期間が重複していることは転送レートを低く設定するという観点から重要な要件であり、該期間が一致していると特に好適である。なお、各出力ポートからの変調データの出力の開始（各出力経路への各出力の出力開始）が同時でない場合に、そのまま変調側駆動回路に入力するのが不都合である場合には、後述の実施形態2のように変調側駆動回路に入力する前のいずれかの時点で所定の遅延を与えることにより変調側駆動回路への入力タイミングを調整することも可能である。

なお特に本実施形態では上記条件1、2、3を好適に実現できる出力回路の構成として、夫々独立に制御可能な複数のメモリを持つものとし、さらに各メモリは出力ポートと入力ポートを別個に有するデュアルポートメモリとした。デュアルポートメモリを採用することにより、メモリへのデータの入力と出力とを非排他的に行うことが出来るため、メモリへの次の走査配線分のデータの入力が開始される前までに該メモリからのデータの読出しを完了する必要がない。よって、所定アドレスに上書きする前に該所定アドレスに記憶されたデータを読み出すことを条件として、メモリへの次の走査配線分の変調データの入力が開始された後に該メモリからの前の走査配線分の変調データの

読出し終了時点を設定できるため、該メモリからの部分変調データ
(1走査配線分のデータの各部分)の出力にかける時間を特に長く出
来、変調側駆動回路への通信レートをより低くすることが出来る。

またこの実施形態では特に $D=2$ の場合の例を挙げたが、 D を2以
上として第 X のメモリ($1 \leq X \leq D$)に与えられるライトアドレスは、
一つの走査配線分の前記 n 個の入力信号のうちの $n(X-1)/D+1$
番目の入力信号が入力されてから nX/D 番目の入力信号が入力さ
れるまでの期間に該入力信号に同期して1から n/D という順に変化
させる構成を採用することにより各メモリに信号を書き込み、第 X の
メモリ($1 \leq X \leq D$)に与えられるリードアドレスは、前記 n 個の入
力信号のうちの $n(D-1)/D+1$ 番目の入力信号が入力されてか
ら次の n 個の入力信号のうちの n/D 番目の入力信号が入力されるま
での期間内(好適には該期間の全てを用いて)に1から n/D という
順に変化するようにすることにより上記条件を簡便な構成で満たすこ
とができる。ただし、この構成においては $D=2$ とすると各出力経路
を用いない期間を少なくすることが出来るため好適である。

(第2の実施形態)

次に、本発明に係る画像表示装置の第2の実施形態について図4、
図5及び図6を参照して説明する。図5及び図6は見やすくするため
に分けているが、そのタイミングは図5、6に示す破線A、Bで一致
している。

第2の実施形態では、転送信号の分割数(変調側駆動回路の数)、及
び、出力回路である多層化バッファ432を構成するメモリの数をそ
れぞれ3として説明する。この実施例でもメモリとしてはデュアルポ
ートメモリを採用している。

図4は、本発明に係る画像表示装置の第2の実施形態に使用される
多層化バッファ432及び駆動部403の一部の構成図である。

ここで、本発明に係る画像表示装置の第2の実施形態は、その全体構成及び多層化バッファ432及び駆動部403以外の部材の構成及び動作は、前述の第1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

- 5 また、図5及び図6は、図4に示される画像表示装置の動作のタイミングチャートである。

図4において、51は分割された映像信号S31を一定の時間遅らせる、本発明の構成要素たる遅延回路としてのディレイユニット（以下同じ）である。S41はディレイユニット51によって遅れた信号
10 である。

41、42、43はそれぞれ第1、第2、第3のメモリであるメモリA、メモリB、メモリCである。容量はそれぞれ1走査配線分の容量の $1/3$ である。

S11～13はライトアドレス信号である。S21～S23はリードアドレス信号である。S71～S73は各メモリのリードデータであり、そのまま転送信号S71～S73となる。
15

メモリAライトアドレス信号S11は、1走査期間中の $1 \sim n/3$ の期間に輝度信号S3に同期して $1 \sim n/3$ という順に変化する。

メモリBライトアドレス信号S12は、1走査期間中の $n/3 + 1 \sim 2n/3$ の期間に輝度信号S3に同期して $1 \sim n/3$ という順に変化する。
20

メモリCライトアドレス信号S13は、1走査期間中の $2n/3 + 1 \sim n$ の期間に輝度信号S3に同期して $1 \sim n/3$ という順に変化する。

25 メモリAリードアドレス信号S21は、1走査期間中の $n/3 + 1 \sim$ 次の走査期間の $n/3$ の期間内に $1 \sim n/3$ という順に変化する。これは必ずしも輝度信号S3に同期している必要はない。

メモリBおよびCリードアドレス信号S22～S23は、1走査期間中の $2n/3 + 1 \sim$ 次の走査期間の $2n/3$ の期間内に $1 \sim n/3$ という順に変化する。これは必ずしも輝度信号S3に同期している必要はない。

- 5 以上のコントロール信号を与えることによって、メモリAリードデータS71には輝度信号S3の $1 \sim n/3$ のデータが $1/3$ 走査期間遅れて輝度信号S3のデータ速度の $1/3$ の速度で出力される。

- 同様にメモリBリードデータS72には輝度信号S3の $n/3 + 1 \sim 2n/3$ のデータが $2/3$ 走査期間遅れて輝度信号S3のデータ速度の $1/3$ の速度で出力される。
- 10

同様にメモリCリードデータS73には輝度信号S3の $2n/3 + 1 \sim n$ のデータが $2/3$ 走査期間遅れて輝度信号S3のデータ速度の $1/3$ の速度で出力される。

- ディレイユニット51はメモリAからの転送信号S31を入力し、
- 15 入力から $1/3$ 走査期間遅れた信号S41を出力する。このユニットに必要な記憶容量は1走査配線分の容量の $1/9$ である。

- 以上により、3つのブロックに分割したシフトレジスタに並行かつ1走査配線分のデータを分割した各部分変調データの先頭を一致させた状態で入力し、転送データS31～S33の転送速度およびシフト
- 20 レジスタ3-3の動作速度を $1/3$ に落とすことを、合わせて1走査配線分の容量に等しいメモリ容量となる3つのデュアルポートメモリと1走査配線分の容量の $1/9$ 倍に等しいメモリ容量のディレイユニットで実現可能となる。

- 特に本実施形態では遅延回路であるディレイユニット51を用いる
- 25 ことにより、各変調側駆動回路（のシフトレジスタ）への変調データの入力の開始点を近づける（特には一致させる）ことが出来ている。またそのため、好適に転送速度を下げる事が可能となっている。

すなわち、本実施形態では、第1の出力ポートから（第1の出力経路へ）の変調データの出力を、最後の（第Dの）出力経路への変調データの出力が可能となる前（すなわち1走査配線分の変調データのうち第Dの出力経路へ出力すべき変調データが出力回路に入力される

- 5 前）に開始する構成を採用している。このままでは各部分変調データの先頭が各変調側駆動回路へ入力されるタイミングがずれるのであるが、遅延用のメモリであるディレイユニットを用いることにより、そのタイミングのずれを緩和することが可能となっている。なお、図4の構成では遅延回路であるディレイユニットを変調側駆動回路のシフトレジスタの近傍に配置するように示しているが、遅延回路の位置は
10 この位置に限るものではなく、各出力の変調側駆動回路への入力開始のタイミングのずれを緩和できることを条件として所望の位置に設けることが出来る。

- また遅延回路により各変調側駆動回路への入力開始のずれを緩和する構成は本実施例で示した構成に限定されるものではなく、出力回路
15 からの並列な出力の出力開始にずれがある構成においては適用することが出来る。

- ここで、上記第2の実施形態では、出力回路の記憶容量が、シフトレジスタの1走査配線分の容量に等しい容量で実現可能としているが、
20 シフトレジスタの容量以上の記憶容量を有する出力回路を用いても良い。本願発明によれば遅延回路に必要な記憶容量を含めても記憶容量はシフトレジスタの容量の2倍未満にできる。

（第3の実施形態）

- 前述の第2の実施形態では転送信号の分割数が3（変調側駆動回路
25 の数が3、すなわち $D=3$ ）の場合であった。しかし、4分割以上の場合もほぼ同様の構成で、画像表示装置を実現できる。特にこの第3の実施形態では分割数Dを一般化してかつ最適化した例を示す。

ここで、本発明に係る画像表示装置の第3の実施形態は、その全体構成及び多層化バッファ及び駆動部以外の部材の構成及び動作は、前述の第1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

- 5 例えば、図4を参照しつつ、分割数を D ($D \geq 4$) とすると、 X 番目 ($X=1 \sim D$) のライトアドレス信号は、1走査期間中の $n(X-1)/D+1 \sim nX/D$ の期間に輝度信号 $S3$ に同期して $1 \sim n/D$ という順に変化する。

- 10 X 番目 ($X=1 \sim D-1$) のリードアドレス信号は、1走査期間中の $nX/D+1 \sim$ 次の走査期間の nX/D の期間内に $1 \sim n/D$ という順に変化する。

D 番目のリードアドレス信号は $D-1$ 番目のリードアドレス信号と同じである。

- 15 以上のコントロール信号を与えることによって、 X 番目 ($X=1 \sim D-1$) のリードデータには輝度信号 $S3$ の $n(X-1)/D+1 \sim nX/D$ のデータが X/D 走査期間遅れて輝度信号 $S3$ のデータ速度の $1/D$ の速度で出力される。

- 20 D 番目のリードデータには $n(D-1)/D+1 \sim n$ のデータが($D-1$)/ D 走査期間遅れて輝度信号 $S3$ のデータ速度の $1/D$ の速度で出力される。

X 番目 ($X=1 \sim D-2$) のディレイユニットはそれぞれの転送データを入力し、($D-X-1$)/ D 走査期間遅れた信号を出力する。

このディレイユニットに必要な記憶容量は、1走査配線分の容量の($D-X-1$)/ D 2倍である。

- 25 以上により、 D のブロックに分割したシフトレジスタに並列にデータを転送し、転送データの転送速度およびシフトレジスタの動作速度を $1/D$ に落とすことが、合わせて1走査配線分の容量に等しいメモ

リ容量の複数のデュアルポートメモリと以下の式（９）倍に等しい容量のディレイユニットで実現可能となる。

$$\sum_{X=1}^{D-2} \left(\frac{D-X-1}{D^2} \right) \dots (9)$$

（第４の実施形態）

前述の第１の実施形態から第３の実施形態の画像表示装置では、駆動部（例えば図１に示される駆動部３）の各変調側駆動回路に接続される変調配線数を等しくした場合（変調配線を等分割した場合）の例を示した。ただしこれに限るものではなく、変調配線を不等分割し、各変調側駆動回路に接続される変調配線数を夫々異なるものとしても良い。その場合は、一部の出力経路を使用しない時間を設けて対応することが可能であり、出力回路で分割する前の信号の通信レートよりも出力回路で分割した後の信号の出力速度の方を遅く出来る条件を満たす範囲であれば有効な構成である。

一方本実施形態では各変調側駆動回路に接続される変調配線数を積極的に異ならせることにより、好適な転送レートを実現する構成を示す。

この実施形態では、第Ｄの出力経路（特にここでは第１の出力経路以外の他の出力経路も含めて）への変調データの出力終了時点を、次の１走査配線分の変調データのうちの第１の出力経路に出力すべき変調データの出力回路への入力が完了した後に設定することにより出力回路から変調側駆動回路までの転送レートを好適に下げる構成として

いる。またここでは、第1の出力経路における変調側駆動回路までの転送レートも他の出力経路における転送レートと同じにしており、また第1の出力経路への変調データの出力の終了時点が、次の1走査配線分の変調データのうちの第1の出力経路へ出力すべき変調データの出力回路への入力が完了した後になるのを回避できるように、第1の出力経路を介して変調データが入力される変調側駆動回路に接続される変調配線の数、第Dの出力経路（特にここでは第1の出力経路以外の出力経路）を介して変調データが入力される変調側駆動回路に接続される変調配線の数よりも少なくしている。

- 10 図7に、本発明に係る画像表示装置の第4の実施形態における多層化バッファ732及び駆動部703の構成図を示し、図8に、図7に示される画像表示装置のタイミングチャートを示す。

なお、本発明に係る画像表示装置の第4の実施形態において、全体構成及び多層化バッファ732及び駆動部703以外の部材の構成及び動作は、前述の第1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

本実施形態では、駆動部703のブロック分けを不均等に行っている。すなわち各変調側駆動回路に接続される変調配線数を異ならせ、その比率を、1：2：2としている。

- 20 例えば、表示パネル1の変調配線の数nが1000本だとすると、200：400：400の割合でブロック分けを行う。

741、742、743はそれぞれ第1のメモリ、第2のメモリ、第3のメモリであるメモリである。容量はメモリA741が1走査配線分の容量の1／5、メモリB742及びメモリC743がそれぞれ1走査配線分の容量の2／5である。

S11～S13はライトアドレス信号である。S21～S23はリードアドレス信号である。S71～S73は各メモリのリードデータ

あり、そのまま転送信号 $S_{31} \sim S_{33}$ となる。

図 8 に示されるように、メモリ A ライトアドレス信号 S_{11} は、1 走査期間中の $1 \sim n/5$ の期間に輝度信号 S_3 に同期して $1 \sim n/5$ という順に変化する。

- 5 メモリ B ライトアドレス信号 S_{12} は、1 走査期間中の $n/5 + 1 \sim 3n/5$ の期間に輝度信号 S_3 に同期して $1 \sim 2n/5$ という順に変化する。

- 10 メモリ C ライトアドレス信号 S_{13} は、1 走査期間中の $3n/5 + 1 \sim n$ の期間に輝度信号 S_3 に同期して $1 \sim 2n/5$ という順に変化する。

メモリ A リードアドレス信号 S_{21} は、1 走査期間中の $3n/5 + 1 \sim$ 次の走査期間の $0.5n/5$ の期間内に $1 \sim n/5$ という順に変化する。これは必ずしも輝度信号 S_3 に同期している必要はない。

- 15 メモリ B および C リードアドレス信号 $S_{22} \sim S_{23}$ は、1 走査期間中の $3n/5 + 1 \sim$ 次の走査期間の $3n/5$ の期間内に $1 \sim 2n/5$ という順に変化する。これは必ずしも輝度信号 S_3 に同期している必要はない。

- 20 以上のコントロール信号を与えることによって、メモリ A リードデータ S_{71} には輝度信号 S_3 の $1 \sim n/5$ のデータが $3/5$ 走査期間遅れて輝度信号 S_3 のデータ速度の $2/5$ の速度で出力される。

同様にメモリ B リードデータ S_{72} には輝度信号 S_3 の $n/5 + 1 \sim 3n/5$ のデータが $3/5$ 走査期間遅れて輝度信号 S_3 のデータ速度の $2/5$ の速度で出力される。

- 25 同様にメモリ C リードデータ S_{73} には輝度信号 S_3 の $3n/5 + 1 \sim n$ のデータが $3/5$ 走査期間遅れて輝度信号 S_3 のデータ速度の $2/5$ の速度で出力される。

以上により、3つのブロックに分割したシフトレジスタに並列にデ

ータを転送し、転送データ S 3 1 ~ S 3 3 の転送速度およびシフトレジスタの動作速度を 2 / 5 に落とすことが、1 走査配線分の容量に等しいメモリ容量で実現可能となる。

(第 5 の実施形態)

また、前述の第 4 の実施形態と同様にして、分割比を異なる値に設定する他の構成も実現可能である。分割比を一般化し、最適化を行った場合の実施形態を本発明に係る画像表示装置の第 5 の実施形態として説明する。

本第 5 の実施形態において、全体構成及び多層化バッファ及び駆動部以外の部材の構成及び動作は、前述の第 1 の実施形態の図 1 に示される全体構成及び、各部材の構成及び動作と同様である。

本実施形態では、駆動部のシフトレジスタの分割数が 3 ($D = 3$) でそれぞれの分割比が、 $a : b : c$ とする。

さらに分割後の転送データの転送速度が、輝度信号 S 3 の M 倍であるとすると (M : 実数)、以下の式 (10) の条件が満たされていれば 1 走査配線分の容量に等しい記憶容量で本発明が好適に適用可能である。

$$a \leq M(a+c) \quad b \leq M(a+b+c) \quad c \leq M(a+b+c)$$

... (10)

さらに、以下の式 (11) を満たすときに 3 分割の場合での最低の転送速度となり、最良の結果が得られる。

$$a = M(a+c) \quad b = M(a+b+c) \quad c = M(a+b+c)$$

... (11)

また4分割以上の場合でも同様に分割手段での分割数をD、分割比が $d[1]:d[2]:\dots:d[D-1]:d[D]$ 、前記分割手段から出力された転送信号の転送速度が、前記輝度信号のM倍の速度であるとしたときに以下の式(12)の条件(条件1a)が満たされていれば1走査配線分の容量に等しい記憶容量で本発明が好適に適用可能である。

$$d[X] \leq M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right)$$

... (12)

さらに、以下の式(13)(条件1b)を満たすときに最低の転送速度となり最良の結果が得られ、1走査配線分の容量に等しい記憶容量でシフトレジスタおよび分割後の転送速度を下げる事が可能である。

$$d[X] = M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] = M \left(\sum_{x=1}^D d[x] \right)$$

... (13)

上記のように、(1) 条件 1 a が満たされていれば 1 走査線分の容量に等しい記憶容量で発明が実施できる根拠、及び、(2) 条件 1 b が満たされていれば、最低の転送速度となり最良の結果が得られ、1 走査線分の容量に等しい記憶容量でシフトレジスタ 3-3 および分割後の転送速度を好適に下げることが可能である根拠、について以下に説明する。

まず、前提条件として、

(条件 1) リードアドレスの出始めはライトアドレスの出始めよりも前に出られない (データを書き込む前に読むことはできない)

(条件 2) リードアドレスの出終わりは、次のラインのライトアドレスの出終わりより遅れることはできない (データを追い越せない)

(条件 3) 全てのリードデータは同時に異なるラインのデータを転送することはできない (パネルの表示 (駆動) は、同じラインは同時に行う)

をふまてうえで、以下の式 (14) の式 (a)、(b) を参照しつつ図 13 を参照しつつ説明する。

$$d[X] \leq M \left(\underset{\uparrow (1)}{d[D]} + \sum_{x=1}^X \underset{\uparrow (2)}{d[x]} \right) \quad [X=1 \sim D-1] \quad \dots (a)$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right) \quad \dots (b)$$

... (14)

ここで、(a) 式 (1) 項は、 $x = D$ の場合の分割比、(a) 式 (2) 項は、 $x = 1 \sim X$ ($X = 1 \sim D - 1$) の場合の分割比の和である。

最終メモリ $d[D]$ が入力されるリードアドレスに応じて信号を出力可能な期間は、自メモリへのライトアドレスの入り始めから、次のラインの信号を書き込むための自メモリへのライトアドレスの入り始めまでである。すなわち全ての期間 (1 ライン期間) ということになる (b 式)。

そして、後ろから 2 番目のメモリ $d[D-1]$ の場合は、最終メモリ $d[D]$ と同時にリードアドレスに応じて信号を読み出し始め (条件 3)、次のラインの信号を書き込むための自メモリへのライトアドレスの入力終了までリードアドレスに応じて信号を読み出せる (条件 2)。結局、後ろから 2 番目のブロックも 1 ラインの期間いっぱいを使うこ

とができる。

後ろから3番目のメモリでも同様に、最終メモリd [D]と同時に
リードアドレスに応じて信号を読み出し始め（条件3）、次のライン
の信号を書き込むための自メモリへのライトアドレスの入力終了まで
5 リードアドレスに応じて信号を読み出せるが（条件2）、1ライン期間
全てを使い切ることはできない。

以上をまとめて一般化すると前述の式（12）のような条件となる。

また、前述の式（13）の条件を満たした場合は、無駄な時間がな
くなるのでMは最低となる。無駄時間は、例えば第4の実施形態のS
10 21における $0.5n/5 \sim n/5$ の期間になる。

また、最終メモリの出力タイミングはもっと後ろにずらすこともで
きるが、そうすると（条件1）により後ろから2番目のブロックの出
力期間が減ってしまうので時間効率が悪くなる。

（第6の実施形態）

15 以上で説明した実施形態では出力回路（多層化バッファ）において
複数の出力経路への出力を並列に出力するための構成として、それぞ
れが出力ポートを持つ複数のメモリを用いており、さらに各メモリと
して、データの書き込みと読み出しとを同時に行えるメモリ（デュア
ルポートタイプのメモリ）を用いていたが、データの書き込みと読み
20 出しとを同時に行えないシングルポートタイプのメモリ（データの書
き込みと読み出しとを排他的に行うメモリ）を用いる場合でも本発明
を適用可能である。

そこで、シングルポートタイプのメモリを用いた場合の好適な画像
表示装置を本発明に係る画像表示装置の第6の実施形態として以下に
25 説明する。

なお、シングルポートメモリを用いる場合であっても、第1の出力
経路へ出力する信号をメモリに書き込んだ後、それ以降の出力経路へ

出力する信号の他のメモリへの書き込みと第1の出力経路への出力とを少なくとも一部重複して行う構成をすることにより、メモリ容量の低減を図ることが出来る。各メモリからの出力の変調側駆動回路への入力のタイミング合わせは遅延回路を用いて行えばよい。本願発明は

5 この構成を排除するものではないが、出力経路数が2個の場合は転送速度の低減効果が期待できず、出力経路数が3個以上であれば遅延回路に求められる記憶容量まで含めるとメモリ容量を低減させられる程度が小さくなる。この実施形態では、各出力経路に対応する各メモリを少なくとも2つのメモリ（以下では一つの出力経路に対応する2つ

10 のメモリをそれぞれメモリブロックと称するが、これは構成を分りやすくするための表記であり一般的な構成のメモリをメモリブロックとして用いることが出来る）により構成することにより、メモリ容量の低減と変調側駆動回路への転送速度の低減を図っている。

本第6の実施形態では転送信号の分割数を2（変調側駆動回路の数が2、すなわち $D=2$ ）として説明する。図9は、本発明に係る画像表示装置の第6の実施形態における出力回路である多層化バッファ932および駆動部903の構成図、図10、図11及び図12は、図9に示される画像表示装置の動作のタイミングチャートである。図10乃至図12は分けているが実際にはそのタイミングは図に示すタイミングA及びBで共通である。

15

20

ここで、本発明に係る画像表示装置の第6の実施形態は、その全体構成及び多層化バッファ932及び駆動部903以外の部材の構成及び動作は、前述の第1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

図9において、961は、本発明の構成要素たる選択手段としての選択器である。この選択器961はメモリブロックのリード信号S31、S32の内の有効なデータを選択し、S312を出力する。選択

25

器 9 6 2 も同様である。

この構成においては、転送信号 S 3 1 を転送する出力経路である第 1 の出力経路に対応して第 1 のメモリが設けられており、第 1 のメモリはメモリブロック A 9 4 1 とメモリブロック B 9 4 2 で構成される。

- 5 第 1 のメモリはメモリブロック A 9 4 1 とメモリブロック B 9 4 2 に分割されているとも言える。また、転送信号 S 3 2 を転送する出力経路である第 2 の出力経路に対応して第 2 のメモリが設けられており、第 2 のメモリはメモリブロック C 9 4 3 とメモリブロック D 9 4 4 で構成される。第 2 のメモリはメモリブロック C 9 4 3 とメモリブロック D 9 4 4 に分割されているとも言える。メモリブロック A、B、C、D はいずれもシングルポートメモリであり、データの書き込みと読出しを排他的に行うものである。
- 10

- S 1 1 ~ S 1 4 はアドレス信号である。メモリブロックのリード／ライトアドレスを選択する。S 5 1 ~ S 5 4 はメモリコントロール信号である。メモリブロックのリード／ライト動作の切り替えを行う。
- 15

9 7 1 は、本発明の構成要素たる切り替え手段としての入出力切り替え器である。メモリコントロール信号 S 5 1 に従ってデータの入出力の方向を切り替える。9 7 2, 9 7 3, 9 7 4 も同様に入出力切り替え器である。

- 20 図 1 0、図 1 1 及び図 1 2 に示されるように、ブロック A アドレス信号 S 1 1 のアドレスは、1 走査期間中の $1 \sim 2n/6$ の期間に輝度信号 S 3 に同期して $1 \sim 2n/6$ という順に変化する。この期間のコントロール信号 S 5 1 は "WRITE" である。

- またブロック A アドレス信号 S 1 1 のアドレスは、1 走査期間中の $2n/6 + 1 \sim n$ の期間内に $1 \sim 2n/6$ という順に変化する。これは必ずしも輝度信号 S 3 に同期している必要はない。この期間のコントロール信号 S 5 1 は "READ" である。
- 25

ブロックBアドレス信号S 1 2のアドレスは、1 走査期間中の $2n/6 + 1 \sim 3n/6$ の期間に輝度信号S 3に同期して $1 \sim n/6$ という順に変化する。この期間のコントロール信号S 5 2は"WRITE"である。

- 5 またブロックBアドレス信号S 1 2のアドレスは、1 走査期間中の $1 \sim 2n/6$ の期間内に $1 \sim n/6$ に変化する。これは必ずしも輝度信号S 3に同期している必要はない。この期間のコントロール信号S 5 2は"READ"である。

- 10 選択器9 6 1は1 走査期間中の $1 \sim 2n/6$ の期間はS 7 2を選択し、 $2n/6 + 1 \sim n$ の期間はS 7 1を選択してS 3 1を出力する。

ブロックCアドレス信号S 1 3のアドレスは、1 走査期間中の $3n/6 + 1 \sim 4n/6$ の期間に輝度信号S 3に同期して $1 \sim n/6$ という順に変化する。この期間のコントロール信号S 5 3は"WRITE"である。

- 15 またブロックCアドレス信号S 1 3のアドレスは、1 走査期間中の $4n/6 + 1 \sim n$ の期間内に $1 \sim n/6$ という順に変化する。これは必ずしも輝度信号S 3に同期している必要はない。この期間のコントロール信号S 5 3は"READ"である。

- 20 ブロックDアドレス信号のアドレスS 1 4は、1 走査期間中の $4n/6 + 1 \sim n$ の期間に輝度信号S 3に同期して $1 \sim 2n/6$ という順に変化する。この期間のコントロール信号S 5 4は"WRITE"である。

- 25 またブロックDアドレス信号S 1 4のアドレスは、1 走査期間中の $1 \sim 4n/6$ の期間内に $1 \sim 2n/6$ という順に変化する。これは必ずしも輝度信号S 3に同期している必要はない。この期間のコントロール信号S 5 4は"READ"である。

選択器9 6 2は1 走査期間中の $1 \sim 4n/6$ の期間はS 7 4を選択

し、 $4n/6 + 1 \sim n$ の期間はS 7 3を選択してS 3 2を出力する。

以上のコントロール信号を与えることによって、選択器9 6 1の出力S 3 1 2には輝度信号S 3の $1 \sim 3n/6$ のデータが $2/6$ 走査期間遅れて輝度信号S 3のデータ速度の $1/2$ の速度で出力される。

- 5 同様に選択器9 6 2の出力S 3 3 4には輝度信号S 3の $4n/6 + 1 \sim n$ のデータが $4/6$ 走査期間遅れて輝度信号S 3のデータ速度の $1/2$ の速度で出力される。

- 10 本発明の構成要素たる遅延回路としてのディレイユニット9 5 1は選択器9 6 1の出力S 3 1 2を入力し、 $2/6$ 走査期間遅れた信号S 4 1を出力する。このディレイユニット9 5 1に必要な記憶容量は1走査配線分の容量の $1/9$ である。

- 15 以上により、2つのブロックに分割したシフトレジスタに並行にデータを転送し、データS 3 1とS 3 2の転送速度およびシフトレジスタ9 0 3 - 3の動作速度を $1/2$ に落とすことを、1走査配線分の容量に等しいメモリ容量のシングルポートメモリと $1/9$ 倍の容量に等しい容量のディレイユニットで実現可能となる。

- すなわち本実施例の構成においては、2つの変調側駆動回路に変調データを送信する2つの出力経路を設け、並行な転送を行う構成とした。更に、一つの出力経路に対応するメモリを2つの書き込み読出しを排他的に行うメモリ（2つのメモリブロック）で構成した。この構成において、一つの出力経路に対応する2つのシングルポートメモリのうちの先に変調データが入力されるほうからの変調データの読出しの開始を、該出力経路の次の出力経路に対応するメモリ（これも2つのシングルポートメモリにより構成される）への変調データの投入の開始（該次の出力経路へ出力すべき変調データの出力回路への入力開始）より前にする構成とした。この構成により書き込みと読出しを排他的に行うメモリを用いながらも、記憶装置の記憶容量の低減と出力
- 20
- 25

ポートから変調側駆動回路への転送レートの低減とを実現することが出来た。この構成は出力ポート数が3つ以上の場合であっても採用可能である。

(第7の実施形態)

- 5 次に、シングルポートタイプのメモリ（メモリブロック）を用い、かつ、転送信号及び駆動部を3分割以上に分割する場合の最適な実施形態を本発明に係る画像表示装置の第7の実施形態として説明する。

本実施形態は、前述の第1の実施形態から第5の実施形態で述べた手法を組み合わせることによって、シングルポートメモリを用いて多層化バッファを構成する。

10

図13は、本発明に係る画像表示装置の第7の実施形態における多層化バッファ1332および駆動部1303の一部の構成図であり、図14、図15及び図16は、図13に示される画像表示装置の動作のタイミングチャートである。図14乃至図16は見やすくするために分けているが、実際には図示するタイミングA及びBは各図において共通である。

15

なお、本発明に係る画像表示装置の第7の実施形態は、その全体構成及び多層化バッファ1332及び駆動部1303以外の部材の構成及び動作は、前述の第1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

20

本第7の実施形態では、前述の第2の実施形態での各メモリをさらにそれぞれ2分割し（各出力経路に対応して2つのメモリブロックを用い）、また、第6実施形態で示したように交互にリード／ライトを行う。

- 25 なお以下ではメモリブロックの分割比について述べているが、これは一つの走査配線分の入力信号のうちのいくつかの入力信号を各メモリブロックに記憶させるかを示している。

実施形態6のように2つの変調側駆動回路 ($D=2$) を用いる場合に、各出力経路に対応するメモリを2つのメモリブロックに分割するときの分割比は $1:2 \sim 2:1$ の範囲で好適に選択可能であるが、実施形態6で採用したように、最終ブロックを $1:2$ 、その他のブロックを $2:1$ に分割すると最もメモリの使用量を少なくすることができる。

3つ以上の変調側駆動回路を用いる (3つ以上の出力経路を介した並列転送を行う、すなわち $D \geq 3$) 場合であると、第2又は3の実施形態との組み合わせになる。これも同様に各メモリをさらにそれぞれ2分割し、第6の実施形態で示したように交互にリード/ライトを行う。

各メモリを2分割するときの分割比 (1つの出力経路に対応する2つのメモリブロックの容量比) は $1:D \sim D:1$ の範囲で好適に選択可能であり、このときのメモリブロックの容量はそれぞれ、画像表示装置の駆動部が持つ全シフトレジスタの容量の和の $1/D (D+1) \sim D/D (D+1)$ 倍となる。

すなわち、1つの出力経路に対応する2つのメモリブロック (2分割されたメモリブロック) の記憶容量の比は、メモリブロックに入力する輝度信号の入力順にメモリブロックを番号付けたとして、それぞれの2分割されたメモリブロック毎に、奇数番目のメモリブロックの容量と偶数番目のメモリブロックの容量とが、 $1/D \leq (\text{奇数番目のメモリブロックの容量}) / (\text{偶数番目のメモリブロックの容量}) \leq D$ を満たすことになる。

ここで、なぜ、2分割するときの分割比は $1:D \sim D:1$ の範囲で選択可能であり、このときのメモリブロックの容量はそれぞれ全シフトレジスタの容量の和の $1/D (D+1) \sim D/D (D+1)$ 倍となるのかについて以下に説明する。

転送信号 S 3 1 ~ の (出力経路の) 数を D 本、 S 1 1 の W R I T E 期間を W 1、 R E A D 期間を R 1、 S 1 2 の W R I T E 期間を W 2、 R E A D 期間を R 2、 また 1 ラインの期間を T、 さらにメモリブロック 4 1、 4 2 の分割比を 1 : n、 とする。

- 5 リード信号は 1 ライン期間をいっぱいに使って出力されるので

$$R 1 + R 2 = T \dots (1)$$

入力信号 S 3 は最終的には D 分割されて S 3 1 ~ として出力されるので S 3 1 ~ の転送速度は $1/D$ となり、 $R 1 = D \cdot W 1$ 、 $R 2 = D \cdot W 2$ より

10 $W 1 + W 2 = T / D \dots (2)$

(1) (2) より

$$R 1 + W 1 + R 2 + W 2 = T (1 + 1 / D) \dots (3)$$

メモリブロック 1 3 4 1、 1 3 4 2 の分割比が 1 : n であることから

15 $R 1 = R 2 / n \dots (4)$

$$W 1 = W 2 / n \dots (5)$$

$$R 2 = n R 1 \dots (6)$$

$$W 2 = n W 1 \dots (7)$$

【 0 2 6 7 】

- 20 また、各メモリブロック 4 1、 4 2 ではリード動作とライト動作を同時に行うことはできず、 さらに 1 ライン期間以内に動作を終了させなくてはならないので、

$$R 1 + W 1 < T \dots (8)$$

$$R 2 + W 2 < T \dots (9)$$

- 25 が制約条件となる。

ここで、 (3) (4) (5) より、

$$(R 2 + W 2) (1 + 1 / n) = T (1 + 1 / D) \dots (10)$$

さらに (9) (10) より

$n < D \dots (11)$

同様に (3) (6) (7) (8) より

$n > 1/D \dots (12)$

- 5 そして、(11) (12) よりメモリブロック 1 3 4 1, 1 3 4 2 の
分割比は $1 : D \sim D : 1$ となる

- また、最終出力経路に対応するメモリである最終メモリを $1 : D$ 、
その他の出力経路に対応するメモリを $D : 1$ に分割する、すなわち X
番目のメモリブロックの容量がシフトレジスタの容量の $D/D(D+1)$ 倍 ($X=1, 3, 5, \dots, 2D-5, 2D-3$ および $2D$)、
10 $1/D(D+1)$ 倍 ($X=2, 4, 6, \dots, 2D-4, 2D-2$ および
 $2D-1$) とすると、最もメモリ使用量を少なくすることができる。

- ここで、最もメモリの使用量を少なくするための、(1) 最終メモリ
を $1 : D$ の容量比の 2 つのメモリブロックに分割し、その他のメモリ
15 を $D : 1$ の容量比の 2 つのメモリブロックに分割する根拠、(2) X 番
目のメモリブロックの容量がシフトレジスタの容量の $D/D(D+1)$ 倍 ($X=1, 3, 5, \dots, 2D-5, 2D-3$ および $2D$)、
 $1/D(D+1)$ 倍 ($X=2, 4, 6, \dots, 2D-4, 2D-2$ および
 $2D-1$) とする根拠、について説明する。

- 20 (1) 最終メモリを $1 : D$ 、その他のメモリを $D : 1$ に分割する根拠
念のため補足するが、ここでいう「使用量を少なくすることができ
るメモリ」はディレイユニット 1 3 6 1、1 3 6 3 に相当するメモリ
であり、メモリブロック A 乃至 F 1 3 4 1 から 1 3 4 6 の容量は変わ
らない。

- 25 本実施形態では転送信号 S 3 1 ～は多層化バッファ 1 3 3 2 より出
力される際にタイミングがずれるので、ディレイユニットライン 1 3
6 1、1 3 6 2 によってタイミングを揃える。

転送信号 S 3 1 ~ のタイミングは、初めのメモリからの出力 (S 3 1) が最も早いタイミングで出力され、最終メモリからの出力 (S 3 3) が最も遅く出力される。

よってディレイラインを入れて全てのタイミングを最終メモリからの出力に揃える。

一方メモリブロック 1 3 4 1 から 1 3 4 6 では、この分割比を 1 : D ~ D : 1 の間で変化させると出力されるタイミングも変化する。

具体的には分割比が 1 : D のとき最も早く出力され、D : 1 のときに最も遅く出力される。

最終メモリからの出力はそれが開始されるまでは他のメモリからの出力を遅延させなくてはならないので最も早く出力される 1 : D を、他のメモリからはできるだけ遅く出力された方がディレイユニット 1 3 6 1、1 3 6 2 の容量を減らすことができるので D : 1 を選ぶことになる。

(2) X 番目のメモリブロックの容量について

X 番目のメモリブロック 4 1 ~ の分割比が決定すれば、転送データ S 3 1 ~ による分割比 $1/D$ と、メモリブロック内での分割比 1 : D あるいは D : 1 ($1/(D+1)$, $D/(D+1)$) から、 $D/D(D+1)$ 倍 ($X=1, 3, 5, \dots, 2D-5, 2D-3$ および $2D$ 、すなわち D が 3 であれば $X=1, 3, 6$)、 $1/D(D+1)$ 倍 ($X=2, 4, 6, \dots, 2D-4, 2D-2$ および $2D-1$ 、すなわち D が 3 であれば $X=2, 4, 5$) となる。

その他の動作の詳細は既に説明した実施形態とほぼ同様であり、前述の各実施形態と同様に、少ないメモリ容量で、シフトレジスタの動作速度を低減することができる。

(第 8 の実施形態)

以上述べてきた実施形態では表示素子を駆動することによって表示

する複数の色（RGB）に対応するデータをあらかじめ時系列に並べたデータを複数の変調側駆動回路に並列に送信するように分割していたが、本願発明の実施の形態はそれに限るものではない。第8の実施形態では、色毎の変調データを別々に分割した後、複数の色に対応するデータを合成し時系列に配置したものを変調側駆動回路で用いる構成を示す。

具体的には、ここでは色毎の時系列な変調データをそれぞれ複数の変調側駆動回路に向かう複数の並列な変調データに分割する分割回路（色毎の出力回路）と、該分割回路と変調側駆動回路の間に設けた合成回路であるRGB選択配置部とを組み合わせた出力回路を用いている。すなわち各色の信号ごとに分割を行って並列な出力を行い、その出力を各色の信号を含む時系列信号になるように選択して時系列に並べて変調側駆動回路に入力する構成としている。ここで分割のための構成は基本的には実施形態1で用いた出力回路の構成と同様である。

図17は、本発明に係る画像表示装置の第8の実施形態における全体の構成図である。1732はRGB選択配置部と一体化した多層化バッファであり、RGB毎の映像信号S2を入力して、RGB選択配置および多層化を行う。

なお、本発明に係る画像表示装置の第8の実施形態において、多層化バッファ1732以外の動作及び構造は、前述の第1の実施形態の動作及び構造と同様である。

図18は、図17に示される画像表示装置に用いられるRGB選択配置部と一体化した多層化バッファ1732の構成図であり、図19、図20及び図21は、図17に示される画像表示装置の第8の実施形態の動作のタイミングチャートである。

表示パネル1の変調配線数は n であるのでRGB別の水平画素数 m は $m = n / 3$ となっている。また、表示パネル1の画素配列は走査配

線に沿ってRGBの順で並んでいるとする。すなわちここでの出力回路（多層化バッファ）に入力される色毎の1走査配線分の入力信号は、走査配線に他の色に対応する2つの表示素子を挟んで飛び飛びに接続される表示素子に対応する一連の信号で構成されることとなる。

5 図18に示されるS3-1～S3-3はRGBそれぞれの映像信号である。S61はRGB選択配置を行うための色選択信号である。1881, 1882は色選択信号S61に基づいて色選択を行う色選択器である。S31およびS32は分割されて、更にRGB選択配置された転送信号である。

10 映像信号S3-1を、メモリブロックA1841, メモリブロックB1842を用いて前述の第1の実施形態と同様の方法にてS71～S72に分割する。すなわちメモリブロックA1841とメモリブロックB1842は赤に対応する出力回路を構成する。S71～S72は映像信号S3-1の半分のデータ速度となる。

15 同様にして映像信号S3-2～S3-3も同様の方法にてS73～S76に分割する。

すなわち、各色に対応するメモリブロックA、C、Eで構成されるメモリが1つの出力経路（変調データS31が転送される経路）に対応しており、メモリブロックB、D、Fで構成されるメモリが他の一つの出力経路（変調データS32が転送される経路）に対応している。

20 そして、図19、図20及び図21に示されるように、色選択信号S61は分割されたRGB信号S71～S76の3倍の速度に同期してRGBの順に変化しつづける。

色選択器1881は分割された映像信号S71, S73, S75を入力し、色選択信号S61に応じて信号を選択して転送信号S31を出力する。

同様に色選択器1882も分割された映像信号S32, S34, S

36を入力し、転送信号S32を出力する。

以上により、映像信号S2の1.5倍の速度でRGB選択配置された転送信号S31およびS32を生成することが1走査配線分の容量に等しい記憶容量で実現可能となる。

- 5 また同様にして、前述の第2の実施形態乃至第7の実施形態で説明した方法とRGB選択配置を組み合わせることも当然可能である。

以上説明したように以上述べた各実施形態によれば、シフトレジスタの動作速度が低速でかつメモリの使用量の少ない画像表示装置を提供することが可能となる。

- 10 なお以上説明した各実施形態の構成は組み合わせて用いることも可能である。

WHAT IS CLAIMED IS:

1. 複数の走査配線と、
該走査配線とともにマトリクス配線を構成する複数の変調配線と、
前記走査配線によって印加される走査信号と前記変調配線によって
5 印加される変調信号によってマトリクス駆動される表示素子と、
前記複数の走査配線を順次選択して、選択した走査配線に走査信号
を印加する走査回路と、
時系列に入力される入力信号を記憶し、該記憶した結果に基づき、
時系列な変調信号生成用信号から成る出力を複数発生し、該複数の出
10 力を並列な出力として複数の出力経路に出力する出力回路と、
前記時系列な変調信号生成用信号に基づいて並列な変調信号を出力
する変調側駆動回路と、
を有しており、
前記変調側駆動回路は、前記複数の出力経路の各々に対応して複数
15 設けられており、それぞれが前記複数の変調配線のうちの一部かつ複
数の変調配線に前記変調信号を供給するものであり、
前記出力回路は、前記並列な出力のうちの少なくとも一つの出力を、
前記並列な出力のそれぞれの後端の内の最後端を構成するための前記
入力信号を記憶する前に出力開始するものである、
20 ことを特徴とする画像表示装置。
2. 前記並列な出力の内の複数の出力の出力開始を略同時にする
請求項 1 に記載の画像表示装置。
- 25 3. 前記時系列に入力される信号は前記出力回路への入力順に第
1 の部分から第 D の部分（D は 2 以上の整数）を有しており、前記出
力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出力

を出力するものであり、前記第 1 の部分に対応する出力である第 1 の出力を、前記第 D の部分に対応する出力である第 D の出力が出力可能になったときもしくはそれ以降に出力開始する請求項 1 に記載の画像表示装置。

5

4 . 前記時系列に入力される信号は前記出力回路への入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) を有しており、前記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出力を出力するものであり、前記第 1 の部分に対応する出力である第 1 の出力を、前記第 D の部分に対応する出力である第 D の出力が出力可能になったときもしくはそれ以降に出力開始する請求項 2 に記載の画像表示装置。

10

5 . 前記時系列に入力される信号は前記出力回路への入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) を有しており、前記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出力を出力するものであり、前記第 1 の部分に対応する出力である第 1 の出力の出力開始を、前記第 D の部分に対応する出力である第 D の出力の出力開始と略同時にする請求項 3 に記載の画像表示装置。

15

20

6 . 前記時系列に入力される信号は前記出力回路への入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) を有しており、前記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出力を出力するものであり、前記第 1 の部分に対応する出力である第 1 の出力の出力開始を、前記第 D の部分に対応する出力である第 D の出力の出力開始と略同時にする請求項 4 に記載の画像表示装置。

25

7. 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力開始を略同時にする請求項5に記載の画像表示装置。

8. 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力開始を略同時にする請求項6に記載の画像表示装置。

9. 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力終了を略同時にする請求項1に記載の画像表示装置。

10. 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力終了を略同時にする請求項2に記載の画像表示装置。

11. 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出

力を出力するものであり、該D個の出力の出力終了を略同時にする請求項3に記載の画像表示装置。

1 2. 前記時系列に入力される信号は前記出力回路への入力順に
5 第1の部分から第Dの部分(Dは2以上の整数)を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力終了を略同時にする請求項4に記載の画像表示装置。

10 1 3. 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分(Dは2以上の整数)を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力終了を略同時にする請求項5に記載の画像表示装置。

15 1 4. 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分(Dは2以上の整数)を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力終了を略同時にする請求項6に記載の画像表示装置。
20

1 5. 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分(Dは2以上の整数)を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力終了を略同時にする請求項7に記載の画像表示装置。
25

10054895.012502

1 6 . 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、該D個の出力の出力終了を略同時にする請求項8に記載の画像表示装置。

1 7 . 前記複数の並列な出力を出力するために前記出力回路に時系列に入力される入力信号は、前記変調配線に並列に供給されるn個の変調信号を生成するためのn個の時系列な入力信号であり、前記出力回路は該n個の時系列な入力信号を入力順に第1のメモリから第Dのメモリ（Dは2以上の整数）に順次記憶するものであり、前記各メモリは与えられるライトアドレスによって指定されるアドレスに前記入力信号の書き込みを行い、与えられるリードアドレスによって指定されるアドレスに書き込まれた信号の読出しを行うものであり、
15 第Xのメモリ（ $1 \leq X \leq D$ ）に与えられるライトアドレスは、前記n個の入力信号のうちの $n(X-1)/D+1$ 番目の入力信号が入力されてから nX/D 番目の入力信号が入力されるまでの期間に該入力信号に同期して1から n/D という順に変化するものであり、

前記各メモリに記憶された信号を前記リードアドレスを各メモリに与えることにより読み出して、各メモリからの出力をD個の前記並列な出力として出力する請求項1乃至16いずれかに記載の画像表示装置。

1 8 . 第Xのメモリ（ $1 \leq X \leq D$ ）に与えられる前記リードアドレスは、前記n個の入力信号のうちの $n(D-1)/D+1$ 番目の入力信号が入力されてから次のn個の入力信号のうちの n/D 番目の入力信号が入力されるまでの期間内に1から n/D という順に変化する

ものである請求項 17 に記載の画像表示装置。

19. 第Xのメモリ ($1 \leq X \leq D$) に与えられる前記リードアドレスは、前記 n 個の入力信号のうちの $n(D-1)/D+1$ 番目の入力信号が入力されてから次の n 個の入力信号のうちの n/D 番目の入力信号が入力されるまでの期間全体を用いて 1 から n/D という順に変化するものである請求項 18 に記載の画像表示装置。

20. 遅延回路を更に有しており、前記時系列に入力される信号は前記出力回路への入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) を有しており、前記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出力を出力するものであり、かつ前記 D 個の出力の内の少なくとも一つの出力を他の出力の出力開始よりも先に出力開始するものであり、前記遅延回路は該先に出力開始される出力が前記変調側駆動回路に入力されるのを遅延させるものである請求項 1 に記載の画像表示装置。

21. 遅延回路を更に有しており、前記時系列に入力される信号は前記出力回路への入力順に第 1 の部分から第 D の部分 (D は 3 以上の整数) を有しており、前記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出力を出力するものであり、かつ前記第 1 の部分から第 D-2 の部分の夫々に対応する第 1 の出力から第 D-2 の出力の各々を第 D-1 の部分及び第 D の部分の出力よりも先に出力開始するものであり、前記遅延回路は前記第 1 の出力から第 D-2 の出力の各々が各前記変調側駆動回路に入力されるのを遅延させるものである請求項 1 に記載の画像表示装置。

- 2 2 . 前記時系列に入力される信号は前記出力回路への入力順に第1の部分から第Dの部分（Dは3以上の整数）を有しており、前記出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出力を出力するものであり、かつ第X（ $1 \leq X \leq D-1$ ）の出力を前記
- 5 第1の部分の入力開始から第1の所定期間遅れて開始し、第Dの出力を前記第1の部分の入力開始から第2の所定期間遅れて開始するものであり、前記第1の所定期間は前記第1の部分から第Dの部分が入力されるのにかかる期間である基準期間の X/D であり、前記第2の所定期間は前記基準期間の $(D-1)/D$ であり、
- 10 更に、第X（ $1 \leq X \leq D-2$ ）の出力に遅延を与える遅延回路を有しており、該遅延回路による遅延量は前記基準期間の $(D-X-1)/D$ である請求項1に記載の画像表示装置。

- 2 3 . 前記複数の並列な出力を出力するために前記出力回路に時
- 15 系列に入力される入力信号は、前記変調配線に並列に供給されるn個の変調信号を生成するためのn個の時系列な入力信号であり、前記出力回路は該n個の時系列な入力信号を入力順に第1のメモリから第Dのメモリ（Dは3以上の整数）に順次記憶するものであり、前記各メモリは与えられるライトアドレスによって指定されるアドレスに前記
- 20 入力信号の書き込みを行い、与えられるリードアドレスによって指定されるアドレスに書き込まれた信号の読出しを行うものであり、

- 第Xのメモリ（ $1 \leq X \leq D$ ）に与えられるライトアドレスは、前記n個の入力信号のうちの $n(X-1)/D+1$ 番目の入力信号が入力されてから nX/D 番目の入力信号が入力されるまでの期間に該入力
- 25 信号に同期して1から n/D という順に変化するものであり、

第Xのメモリ（ $1 \leq X \leq D-1$ ）に与えられる前記リードアドレスは、前記n個の入力信号のうちの $nX/D+1$ 番目の入力信号が入力

されてから次の n 個の入力信号のうちの $n \times D$ 番目の入力信号が入力されるまでの期間内に 1 から n/D という順に変化し、

第 D のメモリに与えられるリードアドレスは、第 $D-1$ のメモリに与えられるリードアドレスと同じに変化するものであり、

- 5 各メモリからの出力を D 個の前記並列な出力として出力する請求項 1 もしくは 20 乃至 22 のいずれかに記載の画像表示装置。

24. 前記複数の並列な出力を出力するために前記出力回路に時系列に入力される入力信号は、前記変調配線に並列に供給される n 個の変調信号を生成するための n 個の時系列な入力信号であり、前記出力回路は該 n 個の時系列な入力信号を入力順に第 1 のメモリから第 D のメモリ (D は 3 以上の整数) に順次記憶するものであり、前記各メモリは与えられるライトアドレスによって指定されるアドレスに前記入力信号の書き込みを行い、与えられるリードアドレスによって指定されるアドレスに書き込まれた信号の読出しを行うものであり、
- 10 15

第 X のメモリ ($1 \leq X \leq D$) に与えられるライトアドレスは、前記 n 個の入力信号のうちの $n(X-1)/D+1$ 番目の入力信号が入力されてから $n \times D$ 番目の入力信号が入力されるまでの期間に該入力信号に同期して 1 から n/D という順に変化するものであり、

- 20 第 X のメモリ ($1 \leq X \leq D-1$) に与えられる前記リードアドレスは、前記 n 個の入力信号のうちの $n \times D+1$ 番目の入力信号が入力されてから次の n 個の入力信号のうちの $n \times D$ 番目の入力信号が入力されるまでの期間全体を用いて 1 から n/D という順に変化し、

- 25 第 D のメモリに与えられるリードアドレスは、第 $D-1$ のメモリに与えられるリードアドレスと同じに変化するものであり、

各メモリからの出力を D 個の前記並列な出力として出力する請求項 23 に記載の画像表示装置。

25. 前記複数の変調側駆動回路はそれぞれ同数の前記変調配線
に変調信号を供給するものである請求項1に記載の画像表示装置。

26. 前記複数の変調側駆動回路のそれぞれが変調信号を供給す
5 る変調配線の数と同数でない請求項1乃至8いずれかに記載の画像表
示装置。

27. 前記時系列に入力される信号は前記出力回路への入力順に
第1の部分から第Dの部分（Dは2以上の整数）を有しており、前記
10 出力回路は、該D個の部分のそれぞれに基づいてD個の前記並列な出
力を入力するものであり、前記第1の部分に対応する第1の出力が入
力される前記変調側駆動回路が変調信号を供給する変調配線数は、
前記第Dの部分に対応する第Dの出力が入力される前記変調側駆動回
路が変調信号を供給する変調配線の数よりも少ない請求項26に記載
15 の画像表示装置。

28. 前記複数の並列な出力を出力するために前記出力回路に時
系列に入力される入力信号は、前記変調配線に並列に供給されるn個
の変調信号を生成するためのn個の時系列な入力信号であり、前記出
20 力回路は該n個の時系列な入力信号を入力順に第1の部分から第Dの
部分（Dは2以上の整数）とし、各部分に対応する出力を前記複数の
並列な出力として出力するものであり、各部分に対応する出力が入力
される前記変調側駆動回路が前記変調信号を供給する変調配線の数の
比が、
25 $d[1]:d[2]:\dots:d[D-1]:d[D]$ 、
前記出力経路の夫々における信号の転送速度が、前記入力信号の入力
速度のM倍の速度であるとしたときに、

$$d[X] \leq M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right)$$

... (1)

の条件を満たす請求項 2 6 に記載の画像表示装置。

2 9 . 前記複数の並列な出力を出力するために前記出力回路に時系列に入力される入力信号は、前記変調配線に並列に供給される n 個の変調信号を生成するための n 個の時系列な入力信号であり、前記出力回路は該 n 個の時系列な入力信号を入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) とし、各部分に対応する出力を前記複数の並列な出力として出力するものであり、各部分に対応する出力が入力される前記変調側駆動回路が前記変調信号を供給する変調配線の数の比が、

$d[1] : d[2] : \dots : d[D-1] : d[D]$ 、

前記出力経路の夫々における信号の転送速度が、前記入力信号の入力速度の M 倍の速度であるとしたときに、

$$\begin{aligned}d[X] &= M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X = 1 \sim D-1] \\d[D] &= M \left(\sum_{x=1}^D d[x] \right) \\&\dots (2)\end{aligned}$$

の条件を満たす請求項 26 に記載の画像表示装置。

30. 前記出力回路は、前記記憶を行うためのメモリを有しており、少なくとも前記第 D の部分を記憶するメモリは書き込みと読出しを非排他的に行うことが出来るメモリである請求項 1 に記載の画像表示装置。

31. 更に前記第 1 の部分を記憶するメモリが書き込みと読出しを非排他的に行うことの出来るメモリである請求項 30 に記載の画像表示装置。

32. 前記時系列に入力される信号は前記出力回路への入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) を有しており、前記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出力を出力するものであり、前記 D 個の出力を出力する D 個の前記出力経路の夫々に対応してメモリを有しており、D 個の該メモリの少なく

とも一つは書き込みと読出しを排他的に行うメモリブロックを2つ有
しており、該2つのメモリブロックは前記D個の部分のうちの対応す
る部分の一部が一つのメモリブロックに書き込まれた後、それに続く
5 一部の他のメモリブロックへの書き込みと、先に前記入力信号の一部
が書き込まれた前記メモリブロックからの信号の読出しとを少なくと
も一部を重複させて行うものである請求項1に記載の画像表示装置。

33. 前記D個のメモリのそれぞれが前記2つのメモリブロック
を有する請求項32に記載の画像表示装置。

10

34. 前記2つのメモリブロックそれぞれから順次読み出された
信号により前記並列な出力の一つが構成されており、該並列な出力の
それぞれの各前記変調側駆動回路への入力開始のずれを緩和するため
の遅延回路を更に有する請求項32に記載の画像表示装置。

15

35. 前記2つのメモリブロックそれぞれから順次読み出された
信号により前記並列な出力の一つが構成されており、該並列な出力の
それぞれの各前記変調側駆動回路への入力開始のずれを緩和するため
の遅延回路を更に有する請求項33に記載の画像表示装置。

20

36. 前記第1の出力から第Dの出力の夫々に対応して2つづつ
設けられるメモリブロックに前記入力信号が入力される順に番号を付
けたときに、奇数番目のメモリブロックに書き込まれる入力信号数と
偶数番目のメモリブロックに書き込まれる入力信号数とが、

25 $1/D \leq \text{奇数番目のメモリブロックに書き込まれる入力信号数} / \text{偶数番目のメモリブロックに書き込まれる入力信号数} \leq D$

を満たし、夫々のメモリブロックに書き込まれる入力信号数は、各変

調側駆動回路が変調信号を供給する変調配線の総計の $1/D(D+1)$ 倍以上、 $D/D(D+1)$ 倍以下である請求項 3 2 に記載の画像表示装置。

- 5 3 7 . 前記第 1 の出力から第 D の出力の夫々に対応して 2 つずつ設けられるメモリブロックに前記入力信号が入力される順に番号を付けたときに、奇数番目のメモリブロックに書き込まれる入力信号数と偶数番目のメモリブロックに書き込まれる入力信号数とが、
10 $1/D \leq \text{奇数番目のメモリブロックに書き込まれる入力信号数} / \text{偶数番目のメモリブロックに書き込まれる入力信号数} \leq D$
を満たし、夫々のメモリブロックに書き込まれる入力信号数は、各変調側駆動回路が変調信号を供給する変調配線の総計の $1/D(D+1)$ 倍以上、 $D/D(D+1)$ 倍以下である請求項 3 3 に記載の画像表示装置。
- 15 3 8 . 前記第 1 の出力から第 D の出力の夫々に対応して 2 つずつ設けられるメモリブロックに前記入力信号が入力される順に番号を付けたときに、奇数番目のメモリブロックに書き込まれる入力信号数と偶数番目のメモリブロックに書き込まれる入力信号数とが、
20 $1/D \leq \text{奇数番目のメモリブロックに書き込まれる入力信号数} / \text{偶数番目のメモリブロックに書き込まれる入力信号数} \leq D$
を満たし、夫々のメモリブロックに書き込まれる入力信号数は、各変調側駆動回路が変調信号を供給する変調配線の総計の $1/D(D+1)$ 倍以上、 $D/D(D+1)$ 倍以下である請求項 3 4 に記載の画像表示装置。
- 25 3 9 . 前記第 1 の出力から第 D の出力の夫々に対応して 2 つずつ

設けられるメモリブロックに前記入力信号が入力される順に番号を付けたときに、奇数番目のメモリブロックに書き込まれる入力信号数と偶数番目のメモリブロックに書き込まれる入力信号数とが、

- 1 / D ≤ 奇数番目のメモリブロックに書き込まれる入力信号数 / 偶数番目のメモリブロックに書き込まれる入力信号数 ≤ D
- を満たし、夫々のメモリブロックに書き込まれる入力信号数は、各変調側駆動回路が変調信号を供給する変調配線の総計の 1 / D (D + 1) 倍以上、D / D (D + 1) 倍以下である請求項 3 5 に記載の画像表示装置。

10

4 0 . 前記第 1 の出力から第 D の出力の夫々に対応して 2 つづつ設けられるメモリブロックに前記入力信号が入力される順に番号を付けたときに、

- X が 1 から 2 D - 3 までの奇数及び 2 D である場合に、X 番目のメモリブロックに書き込まれる入力信号数は、各変調側駆動回路が変調信号を供給する変調配線の総計の D / D (D + 1) 倍とし、

- X が 2 から 2 D - 2 までの偶数及び 2 D - 1 である場合に、X 番目のメモリブロックに書き込まれる入力信号数は、各変調側駆動回路が変調信号を供給する変調配線の総計の 1 / D (D + 1) 倍とする請求項 3 2 乃至 3 9 のいずれかに記載の画像表示装置。

20

4 1 . 前記複数の並列な出力の送信速度が略等しい請求項 1 に記載の画像表示装置。

- 4 2 . 前記時系列に入力される信号は前記出力回路への入力順に第 1 の部分から第 D の部分 (D は 2 以上の整数) を有しており、前記出力回路は、該 D 個の部分のそれぞれに基づいて D 個の前記並列な出

25

力を出力するものであり、前記各変調側駆動回路には該D個の並列な出力が略同時に入力開始される請求項1に記載の画像表示装置。

43. R入力信号、G入力信号、B入力信号が夫々入力され、前記出力回路が各色の入力信号に対して設けられており、各出力回路の複数の並列な出力のうち、同じ変調側駆動回路に出力されるべき出力を合成する合成回路を更に有する請求項1に記載の画像表示装置。

44. 前記表示素子が電子放出素子である請求項1に記載の画像表示装置。

45. 複数の走査配線と、
該走査配線とともにマトリクス配線を構成する複数の変調配線と、
前記走査配線によって印加される走査信号と前記変調配線によって印加される変調信号によってマトリクス駆動される表示素子と、
前記複数の走査配線を順次選択して、選択した走査配線に走査信号を印加する走査回路と、

時系列に入力される第1の色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力をD個(Dは2以上の整数)発生し、該D個の出力を並列な出力としてD個の出力経路に出力する第1の出力回路及び、時系列に入力される第2の色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力をD個発生し、該D個の出力を並列な出力としてD個の出力経路に出力する第2の出力回路と、前記第1の出力回路からの前記出力が出力される前記D個の出力経路の内のX番目の出力経路($1 \leq X \leq D$)と前記第2の出力回路からの前記出力が出力される前記D個の出力経路の内のX番目の出力経路(1

$\leq X \leq D$) とに夫々出力された出力を合成する D 個の合成回路とを有する出力回路と、

前記合成回路から出力される時系列な変調信号生成用信号に基づいて並列な変調信号を出力する変調側駆動回路と、

5 を有しており、

前記変調側駆動回路は、前記 D 個の合成回路の各々に対応して複数設けられており、それぞれが前記複数の変調配線のうちの一部かつ複数の変調配線に前記変調信号を供給するものであり、

10 前記表示素子は、一つの走査配線によって前記走査信号が同時に与えられる複数の表示素子が前記第 1 の色を表示するための表示素子と第 2 の色を表示するための表示素子とを含むように配置されており、

15 前記合成回路は、前記第 1 の色を表示するための表示素子と第 2 の色を表示するための表示素子の配置に従って前記第 1 の出力回路と前記第 2 の出力回路からの出力を合成するものであることを特徴とする画像表示装置。

46. 複数の走査配線と、

該走査配線とともにマトリクス配線を構成する複数の変調配線と、

20 前記走査配線によって印加される走査信号と前記変調配線によって印加される変調信号によってマトリクス駆動される表示素子と、

前記複数の走査配線を順次選択して、選択した走査配線に走査信号を印加する走査回路と、

25 時系列に入力される赤色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力を D 個 (D は 2 以上の整数) 発生し、該 D 個の出力を並列な出力として D 個の出力経路に出力する第 1 の出力回路及び、時系列に入力される緑色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な

- 変調信号生成用信号から成る出力をD個発生し、該D個の出力を並列な出力としてD個の出力経路に出力する第2の出力回路と、時系列に
入力される青色表示のための入力信号を記憶し、該記憶した結果に基づき、時系列な変調信号生成用信号から成る出力をD個発生し、該D
5 個の出力を並列な出力としてD個の出力経路に出力する第3の出力回路と、前記第1の出力回路からの前記出力が出力される前記D個の出力経路の内のX番目の出力経路（ $1 \leq X \leq D$ ）と前記第2の出力回路からの前記出力が出力される前記D個の出力経路の内のX番目の出力経路（ $1 \leq X \leq D$ ）と前記第3の出力回路からの前記出力が出力される前記D個の出力経路の内のX番目の出力経路（ $1 \leq X \leq D$ ）とに
10 夫々出力された出力を合成するD個の合成回路とを有する出力回路と、
前記合成回路から出力される時系列な変調信号生成用信号に基づいて並列な変調信号を出力する変調側駆動回路と、
を有しており、
15 前記変調側駆動回路は、前記D個の合成回路の各々に対応して複数設けられており、それぞれが前記複数の変調配線のうちの一部かつ複数の変調配線に前記変調信号を供給するものであり、
前記表示素子は、一つの走査配線によって前記走査信号が同時に与えられる複数の表示素子が赤色を表示するための表示素子と緑色を表示するための表示素子と青色を表示するための表示素子とを含むように配置されており、
20 前記合成回路は、前記赤色を表示するための表示素子と緑色を表示するための表示素子と青色を表示するための表示素子の配置に従って前記第1の出力回路と前記第2の出力回路と前記第3の出力回路からの
25 の出力を合成するものであることを特徴とする画像表示装置。

ABSTRACT OF THE DISCLOSURE

- 本願は、表示パネルの変調配線を複数のブロックに分割し、該ブロックの夫々に供給する変調信号を発生するための信号を並列に転送する構成の発明を開示する。特に該並列な信号の少なくとも一部の出力
- 5 を全ての信号の入力が終了する前に開始する発明を開示する。